

GRAF[®] **computer**

GDP 64 k

**Grafikbaugruppe für
den NDR - und mc - Computer**

Ausgabe 2

**Graf Elektronik Systeme GmbH
8960 Kempten · Tel.: 08 31-62 11**

1	Einführung	3
1.1	Zum NDR-Computer	3
1.2	Wozu dient die Baugruppe	4
2.	Technische Daten	5
3	Prinzipbeschreibung	6
3.1	Blockschaltbild	6
3.2	Datenübertragung zum Monitor	7
4	Aufbauanleitung	10
4.1	Stückliste	10
4.2	Aufbau Schritt für Schritt	11
5	Testanleitung	14
5.1	Erste Prüfung ohne IC's	14
5.2	Test der GDP 64k im System	14
5.3	Test und Beispielprogramme	15
	Beschreibung zu den Testprogrammen	16
	Alphazeichen	17
	Graphik	18
	Vektoren zeichnen	19
	Demo für 680xx	20
6	Fehlersuchanleitung	21
7	Schaltungsbeschreibung	23
7.1	Wie funktioniert die Baugruppe ?	23
7.2	Hinweise zum Monitoranschluß	25
8	Anwendungsbeispiel	26
8.1	Direkte Eingabe von Grafikzeichen	26
8.2	Beispiel als Basic - Programm	27
8.3	Beispiel in Turbo - Pascal	27
9	Diverses	28
9.1	Ausblick	28
9.2	Kritik	28
10	Unterlagen zu den verwendeten IC's	29
10.1	TTL-IC's	29
10.2	Der Grafik Prozessor EF 9366	40
11	Literatur	47
	Anhang A: Schaltplan	48
	Anhang B: Bestückungsplan	50
	Anhang C: Layout Bestückungsseite	51
	Anhang D: Layout Lötseite	52

1. Einführung

1.1 Zum NDR-Computer

Der NDR-Computer wird in der Fernsehserie "Mikroelektronik - Mikrocomputer selbstgebaut und programmiert " aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird vom Norddeutschen Rundfunk und vom Bayerischen Fernsehen ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen.

Zur Serie gibt es einige Begleitmaterialien, es ist daher nicht unbedingt notwendig, die Fernsehserie gesehen zu haben, um den NDR-Computer zu bauen und zu begreifen:

- Bücher:

Rolf-Dieter Klein,
"Rechner modular"
ISBN 3-7723-8721-7, DM 68,-
erschienen im Franzis-Verlag, München
Bestellnummer: 10991

Rolf-Dieter Klein,
"Die Prozessoren 68000 und 68008"
Rechnerarchitektur und Sprache im NDR-KLEIN-
Computer
ISBN 3-7723-7651-7, DM 78.-
erschienen im Franzis-Verlag, München

- Zeitschriften "mc" und "ELO" des Franzis-Verlages

- Zeitschrift "LOOP" der Firma Graf Elektronik Systeme

- Videocassetten:

lizenzierte Originalcassetten für den privaten Gebrauch. Auf diesen zwei Cassetten sind die 26 Folgen der Fernsehserie enthalten.

Systeme: VHS, Beta, Video 2000

Preise: siehe gültige Preisliste

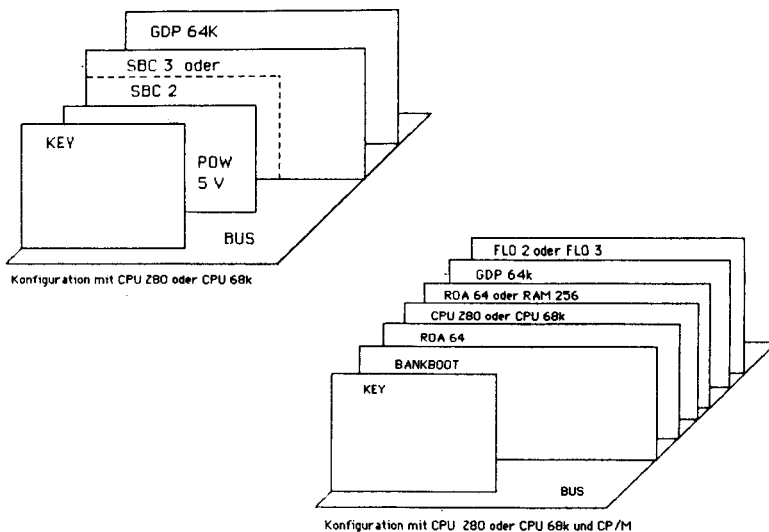
1.2 Wozu dient die Baugruppe

Die Baugruppe GDP 64K ist das Bindeglied zwischen dem Mikrocomputer (SBC 2, SBC 3, CPU 680xx oder CPU Z80) und einem Monitor. Sie ermöglicht es einen Monitor mit BAS - Anschluß oder einen TTL- Monitor anzuschliessen. Nun ist es möglich, Arbeitsschritte, die der Computer durchführt, auf dem Monitor anzuzeigen, Graphiken darzustellen oder Einblick in das Innenleben des Computers zu bekommen (Speicherbelegung, Kontrolle der Eingaben).

Deshalb muß jeder Bildpunkt auf dem Monitor ansprechbar sein. Bei einer Bildebene von 256 x 512 Bildpunkten wird dazu ein eigener Speicher von 16 KByte benötigt, wenn jeder Bildpunkt ein Bit beansprucht. Da aber vier unabhängige Bildebenen aufgebaut werden können, braucht man demnach einen Speicherplatz von 64 KByte. Dieser ist in 8 x 64 KBit Speichern organisiert.

In diesem Speicher wird jeweils das gesamte Bild abgespeichert und seriell alle 20 ms abgerufen (50 mal in der Sekunde); dadurch entsteht ein stehendes Bild. Die Verwaltung des Speicherbereiches (Abruf des Bildes, Refresh...) übernimmt der auf der GDP 64K befindliche Graphik-Prozessor EF 9366. Mit dem Mikrocomputer können per Datenbus Befehle übermittelt werden, z.B. Schreiben eines Zeichens, Größe des gewünschten Zeichens, Form des Zeichens, Lage und Position des Zeichens auf der Bildebene, Auswahl einer der vier Bildebenen. Dieser Prozessor ermöglicht es auch schnelle Graphik darzustellen (Blockgraphik und Vektoren). Durch Definition von verschiedenen Vektoren ist es möglich, Linien (Vektoren) in jede Richtung und in jeder Größe zu zeichnen.

Verschiedene Konfigurationen mit der GDP 64k (Bild 1):



2. Technische Daten

Spannungsversorgung: +5V

Stromaufnahme: 330 mA

Busformat: NDR - Bus 54-polig
ECB - Bus 64-polig

Leiterplattenformat: 160mm x 100mm (Europakarte)

Ausgang: 1.BAS (beinhaltet HS,VS und VIDEO - Signal)
und
2.TTL - Ausgang:HS,VS,VIDEO (invertierbar)
z.B. IBM Monitor

Graphik - Controller: EF 9366 (Thomson-CSF)
-kann 4 Seiten bedienen, wobei in eine
geschrieben und zugleich eine weitere
gelesen werden kann.
-integrierter ASCII- Zeichensatz
-Graphikbefehle
* Kurzvektoren
* Vektoren
* Blockgraphik 5x8 und 4x4

Speicher: 8 x 64k RAM (dynamisch)

3. Prinzipbeschreibung

3.1 Blockschaltbild

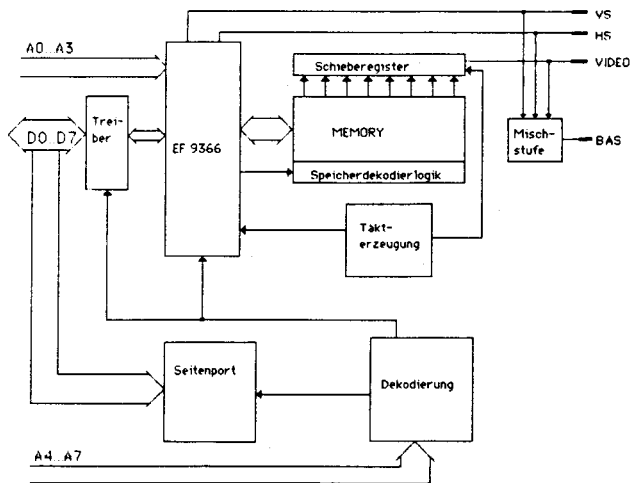


Bild 2

Von der Haupt-CPU (z.B. von der CPU) wird über die Adressleitungen A0...A3 eines der 16 Register der Neben-CPU (hier 9366) angewählt. Soll z.B. ein Vektor gezeichnet werden, so teilt man dem Graphik-Prozessor lediglich den Anfangs- und Endpunkt mit. Die Zwischenwerte werden von ihm selbst berechnet und dann in den Speicher abgelegt.

Der interne Aufbau des Speichers wird durch den Grafikprozessor und sekundär durch die Speicherdekodierlogik organisiert. Im Speicher steht dann die Information, die später auf dem Bildschirm erscheint.

Beispiel: Wir verfolgen das Auslesen eines Bytes vom Speicher zum Monitor (z.B. 10001110)

Das Byte steht am Ausgang des Speichers und wird bei aktivieren des Signals SH/L (Shift Load, am Schieberegister) parallel in das Schieberegister eingelesen. Hier wird das Signal mit dem Punktetakt (14 MHz, CLK) verknüpft und seriell (in der Punktfolge 10001110) an den Monitor hinausgeschoben. Da jedes Bit einen Bildpunkt darstellt, werden jetzt 8 Punkte auf dem Bildschirm angezeigt. Ein dunkler Punkt entspricht einer 1 und ein heller einer 0. (ebenfalls in der Reihenfolge 10001110).
Siehe Bild 3 auf der nächsten Seite.

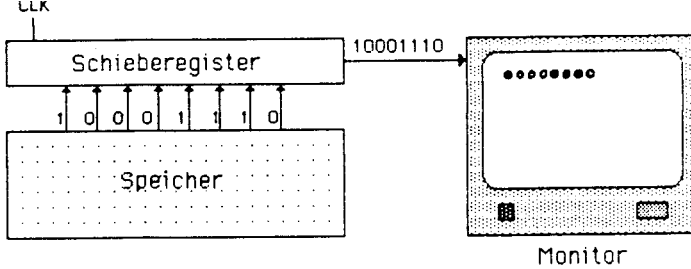


Bild 3

Der Speicher ist für 4 Seiten aufgebaut, die durch die Seitenumschaltung ausgewählt werden können. Es kann in eine Seite geschrieben und zugleich eine weitere gelesen werden. Das aus dem Schieberegister kommende Videosignal geht entweder direkt zum Monitor (TTL) oder zum Videomischer. In dieser Mischstufe wird das Video-Signal mit horizontalen und vertikalen Synchronisationssignalen (HS und VS) so aufbereitet, daß es danach als BAS-Signal (siehe 3.2.2) zur Verfügung steht.

Die Dekodierlogik mit den Adressen A4...A7, den Signalen IORQ und M1 wird benötigt, um die GDP 64k bei I/O-Zugriff von 70...7F (Graphikprozessor) und 60...6F (Seitenport) anzusprechen.

Die Takterzeugung stellt alle benötigten Frequenzen (Pixelclock, Clock für Schieberegister, Takte für die Adressierung der Speicher) aus dem Grundtakt von 14 MHz her.

3.2 Datenübertragung zum Monitor:

3.2.1 Prinzip der Signale HS, VS und VIDEO.

HS- Signal: (Horizontal- Synchronisation) Dieses Signal ist für die Zeilensynchronisation zuständig. Der Bildschirm wird veranlaßt, mit dem Schreiben einer Zeile so lange zu warten, bis die zu Übertragende Information am VIDEO-Ausgang bereitgestellt ist. Wie der Name des Signales schon andeutet, wird das Übertragen der Daten und das Schreiben der Daten auf den Bildschirm synchronisiert.

VS- Signal: (Vertikal- Synchronisation) Dieses Synchronisationssignal veranlaßt einen neuen Bildschirmaufbau, der alle 20 ms stattfindet. Der Schreibstrahl des Bildschirms fährt also von der rechten unteren Ecke in die linke Obere und wird in dieser Zeit ausgeblendet. Während dieses Vorganges kann keine Information geschrieben (also nichts auf dem Bildschirm dargestellt) werden.

VIDEO- Signal: Es besteht aus High- und Low- Signalen die die Bildinformation widerspiegeln. Will man dieses Signal ansehen, verwendet man am besten ein Oszilloskop.

3.2.2 Monitor mit BAS - Signal:

Das BAS - Signal wird bei normalen Monitoren über eine einzige Leitung übertragen und setzt sich aus den Einzelsignalen HS + VS + Video zusammen. Die Signale HS(bzw VS) und das Videosignal stehen im Verhältnis 1 zu 2.

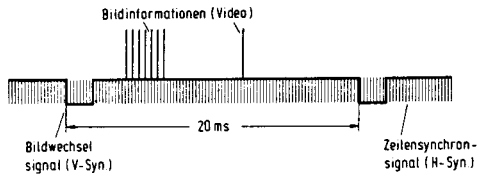


Bild 4

3.2.3 Monitor mit TTL-Signal z.B. IBM - Monitor:

Hier werden die Signale HS, VS und Video über verschiedene Leitungen zum Monitor übertragen. (siehe rechts, prinzipieller Verlauf der Signale ohne Angabe der Zeiten).

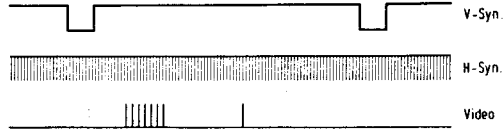


Bild 5

Beispiel: Eine Originalaufnahme der drei Signale HS, VS und Video mit den Logik-Analyser erstellt:

Im ersten Diagramm erkennt man das VS- Signal darunter das Signal HS und das VIDEO-Signal(VI). Wie daraus zu ersehen ist, wird während des HS-Signales keine Bildinformation geschrieben. Wird der HS- Impuls aktiv, wird in der nächsten Zeile weitergeschrieben. Das VS-Signal leitet den Aufbau eines neuen Bildes ein.

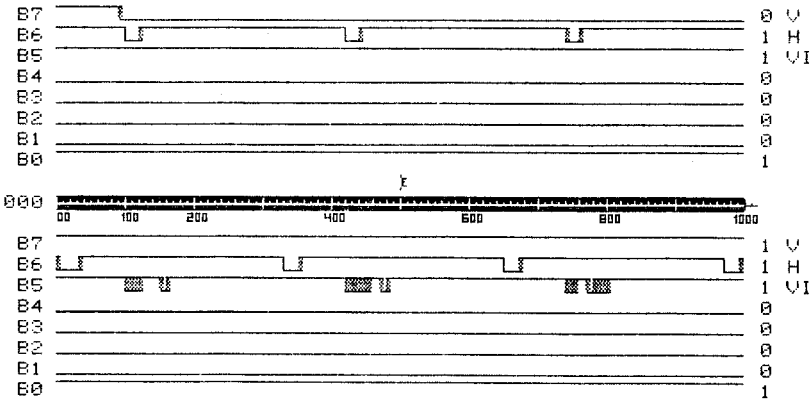


Bild 6

3.2.4 Wie funktioniert ein Monitor ?

Der Monitor (Brownsche Röhre) besteht aus einer Kathode einer Fokussiereinrichtung (Wehnelt- Zylinder und Anode), Ablenkplatten für horizontale und vertikale Ablenkung und einer auf der Röhreninnenseite aufgetragenen Leuchtschicht.

Von der Kathode werden Elektronen ausgesendet, die von der Fokussiereinrichtung gebündelt werden. Die Ablenkplatten sorgen in horizontaler sowie in vertikaler Richtung für die nötige Ablenkung des Elektronenstrahles, damit jeder Punkt des Bildschirms erreicht wird.

Trifft der Elektronenstrahl an der Frontseite des Bildschirms auf (auf die Leuchtschicht) so beginnt der angestrahlte Punkt zu Leuchten. Der ausgesandte Elektronenstrahl muß sehr scharf gebündelt sein, um eine hohe Auflösung zu erreichen.

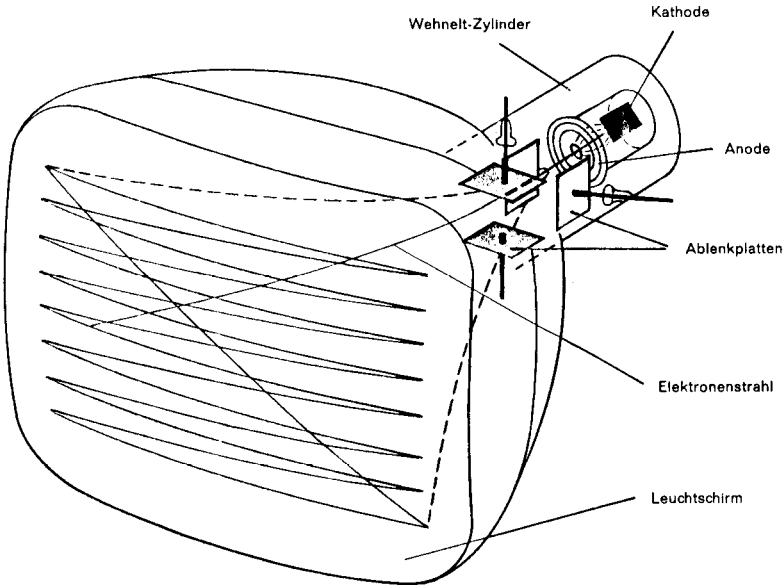


Bild 7

4. Aufbauanleitung

CMOS-Warnung:

CMOS-Bausteine sind hochempfindlich gegen elektrostatische Aufladung! Bewahren oder transportieren Sie CMOS-Bausteine nur auf dem leitenden Schaumstoff! Alle Pins müssen kurzgeschlossen sein.

Tip: Fassen Sie an ein geerdetes Teil (z.B. Heizung, Wasserleitung) bevor Sie einen Baustein berühren.

Bitte beachten Sie hierzu auch den Artikel "Schutzmaßnahmen für MOS-Schaltungen" in unserer Zeitschrift LOOP3.

4.1 Stückliste

Anzahl	Art.-Nr.	Position im Plan	Bezeichnung	Bemerkungen
2	60034	J1,J22	7405	Sechs Inverter
1	60104	J2	74 LS 166	8-Bit Schieberegister
1	60101	J3	74 LS 163	synch. 4-Bit Zähler
1	60075	J4	74 LS 00	4 NAND Gatter
1	60033	J5	7404	6 Inverter
8	60014	J6...J13	4164, 200ns	Dynamische RAM 64k
1	60137	J14	74 LS 74	D-Flip Flop mit Preset
1	60121	J15	74 LS 32	Vier OR-Gatter
1	10806	J16	25 LS 2538	3 zu 8 Decoder
1	60098	J17	74 LS 153	4 zu 1 Multiplexer
1	60094	J18	74 LS 138	3 Bit Binärdekoder
1	60115	J19	74 LS 245	8 fach Bus Transceiver
1	10806	J20	EF 9366	Graphik-Processor
1	60118	J21	74 LS 273	8 Bit D Register
6	60183	SO 14	14-polige IC-Fassung	
12	60185	SO 16	16-polige IC-Fassung	
3	60187	SO 20	20-polige IC-Fassung	
1	60193	SO 40	40-polige IC-Fassung	
1	60665	R1	75	Widerstand 75 Ohm
1	60621	R4	150	Widerstand 150 Ohm
1	60631	R12	220	Widerstand 220 Ohm
1	60643	R11	330	Widerstand 330 Ohm
4	60651	R5,R8..R10	470	Widerstand 470 Ohm
3	60651	R3,R14,R15	470	Widerstand 470 Ohm
4	60626	R2,R6,R7,R13	1 K	Widerstand 1000 Ohm
2	60248	C1,C11	10 uF,Tantal ELKO	auf Polung achten !
9	60239	C2...C10	100 nF	Keramikkondensator
1	60590	T1	BC 107	Transistor
1	60166	Q1	Quarz 14.00 MHz	
1		ST1	7-polige Stiftleiste	gewinkelt

---> Fortsetzung

1	10787	ST2	ECB-Bus 64-polig	oder
1	10405	ST5	NDR - Bus 18-polig, gewinkelt	und
1	10406	ST5	NDR - Bus 36-polig, gewinkelt	
1	10097	BU1	Monitor Buchse Cinch	einlötfbar
1	10264	GES-Platine	mit Lötstoplack r8	

4.2 Aufbau Schritt für Schritt

Auf einer Seite der Leiterplatte steht der Hinweis "lötS" (Lötseite); auf dieser Seite wird ausschließlich gelötet. Die Bauteile sind nur auf der anderen Seite (der Bestückungs-seite) aufzustecken. Beim Einlöten der Bauelemente beginnt man am besten mit der gewinkelten Steckerleiste. Es sollte darauf geachtet werden, daß die Leiste parallel zur Leiterplatte liegt, um gut auf den Bus gesteckt werden zu können. Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stecker parallel zur Leiterplatte liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen. Sollten Bäuche vorhanden sein, muß wiederum in der Mitte der Bäuche ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte verlötet werden.

Wird die Platine für den ECB-Bus bestückt, so wird statt der gewinkelten Steckerleiste die ECB-Bus-Leiste 64 polig eingelötet. Hier kann außerdem die Steckerleiste ST3 eingelötet werden, um eine Verbindung zur Hardcopy-Maus herzustellen.

Nun wird die Leiterplatte mit den IC-Sockeln bestückt. Dabei muß darauf geachtet werden, daß die Sockel richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine durch den Aufdruck (falls vorhanden) sehr deutlich zu erkennen.

Es sollten alle Fassungen auf einmal aufgesteckt werden und zum Verlöten umgedreht werden; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine drückt. So wird erreicht, daß die Fassungen alle eben und gerade liegen. Beim Löten sollten wiederum nur zwei Pins jeder Fassung (möglichst diagonal) verlötet werden. So können anschließend schräg liegende Fassungen noch problemlos korrigiert werden. Bevor die restlichen Pins verlötet werden, sollte man dafür sorgen, daß die Fassungen richtig liegen und die Richtungen der Fassungen stimmen.

Kondensatoren:

Die Kondensatoren C1 und C11 sind gepolt und dürfen auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist mit einem "+" und evtl. einem schwarzen Strich gekennzeichnet. Im Bestückungsplan ist der Pluspol ebenfalls mit einem "+" gekennzeichnet.

Die Kondensatoren C2...C16 (außer C11) sind ungepolt und können ohne auf die Polung zu achten eingelötet werden.

Widerstände:

Die Widerstände R1 bis R15 sind Einzelwiderstände und durch Farbcode gekennzeichnet. Bei Widerständen braucht nicht auf die Polung geachtet werden.

R1	75 Ohm	(violett/grün/schwarz)
R4	150 Ohm	(braun/grün/braun)
R12	220 Ohm	(rot/rot/braun)
R11	330 Ohm	(orange/orange/braun)
R5,R8..R10	470 Ohm	(gelb/violett/braun)
R3,R14,R15	470 Ohm	(gelb/violett/braun)
R2,R6,R7,R13	1 KOhm	(braun/schwarz/rot)

Transistor:

Beim Transistor muß auf die Anschlüsse B,E und C geachtet werden. Der Transistor hat an seinem Umfang eine "Nase". Der Pin, der dieser am nächsten kommt ist der Emitter.



Transistor von unten gesehen

Aufdruck auf der Platine

Der Transistor sollte nicht sehr tief hineingesteckt werden, da sonst die Hitze des LötKolbens ihn zerstören könnte.

Stecker, Buchsen:

Beim Einlöten der BAS-Buchse BU1 ist darauf zu achten, daß sie ganz an der Platine anliegt. Die Buchse also fest an die Platine drücken und dann erst anlöten. Die 9-polige Buchse ST4 und die Jumper JMP1 bis JMP5 werden nicht bestückt. Die 7-polige Steckerleiste wird nach dem gleichen Prinzip eingelötet.

Quarz:

Der Schwingquarz ist nicht gepolt und kann somit nicht falsch herum eingelötet werden. Aus Platzgründen sollte er liegend eingelötet werden.



Einlöten des Quarzes

Rückwandblech:

Wollen Sie diese Baugruppe in das Gehäuse GEH3 einbauen, so wird ein passendes Rückwandblech benötigt. (Bitte gesondert bestellen)

5. Testanleitung

5.1 Erste Prüfung ohne IC's

Die Leiterplatte ist bis jetzt erst mit den Sockeln und mit den passiven Bauelementen bestückt. Mit diesem Aufbau wird der erste Test durchgeführt.

Zu diesem Test muß die Baugruppe in den Bus gesteckt werden. Achten Sie beim Einstecken in den Bus, daß Sie die Baugruppe richtig herum einsetzen. Ein falsches Einstecken, z.B. um ein Pin zu weit rechts kann zu Kurzschlüssen führen und kann Bauelemente zerstören.

Nach dem Einstecken der Leiterplatte muß der Rechner weiter problemlos funktionieren. Falls nein - weiter im Kapitel 6.

Man mißt, ob an allen IC-Sockeln die Versorgungsspannung von +5V ankommt. Dabei liegt bei Standard-TTL-Bausteinen jeweils am letzten Pin einer Fassung (z.B. bei 14-poligen an Pin 14, bei 16-poligen an Pin 16, bei 20-poligen an Pin 20), die Versorgungsspannung von +5V. 0V bzw. Masse liegt jeweils auf dem letzten Pin der ersten Reihe (bei 14-poligen auf Pin 7, bei 16-poligen auf Pin 8, bei 20-poligen auf Pin 10). Achtung!: Bei den RAM-Bausteinen sind die Plus- und Masse-Anschlüsse genau andersrum (+5V liegt an Pin 8 und GND liegt an Pin 16). Beim Graphik-Prozessor EF 9366 liegt Masse auf Pin 20 und +5V auf Pin 40 (siehe auch Kapitel 9).

Liegt die Versorgungsspannung +5V und 0V (Masse,GND) an den richtigen Pins an, dann können die IC's eingesetzt werden. Dabei muß auf die Richtung der IC's geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen.

5.2 Test der GDP 64k im System

Zuerst wird nur das IC J5 eingesteckt (IC zur Takterzeugung). Wird die Leiterplatte nun auf den Bus gesteckt, muß an J5/8 eine Taktfrequenz von 14 MHz zu messen sein.

Wenn dieser Takt anliegt können die restlichen IC's bis auf den EF 9366 (J20) und die Speicherbausteine J6...J13 hineingesteckt werden; aber nicht bei angelegter Spannung !!!

Wird danach die Spannung wieder angelegt, muß an IC J20/1 ein 1,75 MHz Signal messbar sein.

An J3 müssen folgende Signale zu messen sein:

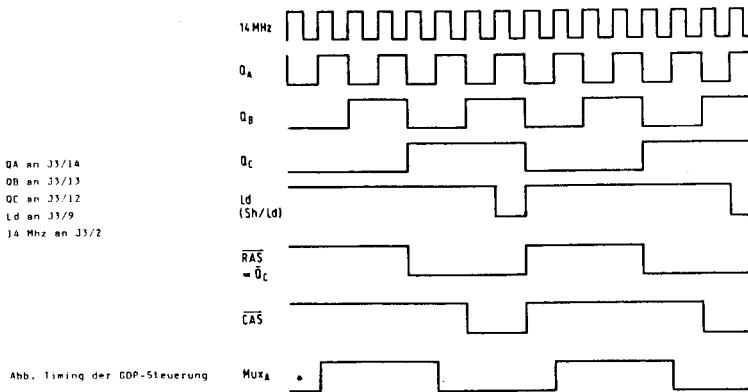


Bild 8

Anschließend muß die Versorgungsspannung wieder weggenommen und der EF 9366 eingesteckt werden. Beim Einschalten der Spannung muß auf dem Monitor ein abgegrenztes dunkles Bild erkennbar sein. Es ist noch keine Bildinformation erkennbar (auch nicht vorhanden). Nur das Synchronsignal, das der EF 9366 erzeugt, muß mit dem Oszilloskop am BAS - Ausgang zu messen sein. Wie das Signal aussieht, ist in Kapitel 3 unter 'Daten-übertragung zum Monitor' zu sehen.

Anschließend sollte die Spannungsversorgung der Speicherbausteine J6...J13 kontrolliert werden. Jeweils an Pin 8 müssen 5 Volt anliegen (Masse liegt an Pin 16). Nach Abschalten der Spannung können die Speicherbausteine eingesteckt werden.

Sind nun alle Bausteine bestückt, kann der Test mit der Software beginnen. Dazu muß auf der SBC 2 (oder SBC 3) das Grundprogramm in die Fassungen J6 und J7 gesteckt werden. Bei angeschlossenem Monitor und Einschalten der Spannung erscheint nach einer kurzen Copyright-Meldung das Grundmenü und darunter ein quadratisches Feld in dem der Cursor blinkt. Mit der CPU 680xx erscheint das RDK-Grundmenü. Liegt ein System mit den Baugruppen CPU+Z80+ROA+FLOMON vor, so erscheint das Flomon-Grundmenü. Über die Baugruppe 'KEY' kann die Tastatur angeschlossen werden und Zeichen eingegeben werden.

Beschreibung zu den Testprogrammen:

1. Beispiel:(Buchstaben) (lauffähig ohne Flomon)

Ist das Bit 2 des Registers 70h auf 0, so darf kein Kommando an die GDP gegeben werden, da diese dann beschäftigt ist. Man muß also vor jeder Befehlsausgabe oder jedem Umsetzen eines der anderen Register darauf warten, daß dieses Bit auf eins liegt. (Siehe auch 'Warteschleife' wail).
Im Programm: Aufruf der Warteschleife durch 'call wail'.

Wird der Wert 6 an die GDP geleitet, so erfolgt 'Bildschirm Löschen' und es kann die Ausgabe beginnen.
Zuerst wird der Buchstabe 'A' in gewohnter Größe geschrieben. Ofh an 73h bewirkt 'Groß -Schreibung'. Das Zeichen 'B' wird groß auf dem Bildschirm dargestellt. Danach wird wieder auf Kleinschreibung umgestellt (1lh nach 73h), und es wird der Buchstabe 'C' geschrieben.

Die Verzögerung gestattet es, das Bild eine Weile anzusehen, bevor wieder ins Betriebssystem zurückgesprungen wird.

2. Beispiel:(Figurenzeichnen mit FLOMON)

Dieses Programm zeigt das Zeichnen verschiedener Figuren auf dem Bildschirm.

Mit dem Befehl 'ld de,A1' wird die unter 'A1' stehende Information eingelesen und mit 'call string' zur Ausführung gebracht.

Mit der Routine 'Eingabe' wird auf einen Tastendruck gewartet. Was die einzelnen Zeichen hinter db.. bedeuten ist dem Programm zu entnehmen.

3. Beispiel:(Vektoren mit FLOMON)

Das dritte Beispiel zeigt die Darstellung von Vektoren, die zu einem sternähnlichen Gebilde zusammengefügt werden. Die Befehle 'clrall' und 'wait' sind FLOMON- Befehle ; ihre Sprungadressen werden am Programm Anfang definiert.

'clrall' löscht alle Bildschirmseiten und 'wait' führt genau das aus, was im vorigen Beispiel in der 'wail' Routine stand.

Zunächst werden die X und Y Register geladen (=Anfangspunkt Bildschirmitte), der Schreibstift gesetzt (PEN down), und die Richtung, in der gezeichnet werden soll, festgelegt.

Das Ganze wird in der Schleife 'LOOP' abgearbeitet, die durch incrementieren von b die Zeichenrichtung ändert.


```

.z80
;*****
;*   EF 9366   Testprogramm   RAKU 3'87   *
;*****

0070      gdp      equ      70h      ;BASIS
0060      seite    equ      60h      ;Seitenadr.
                                org      8800h

8800'    3E F0      start:  ld a,0F0h      ;Seite 3 verwenden
8802'    D3 60      out (seite),a    ;warten bis GDP fertig
8804'    CD 8839'   call wail      ;Warteschleife aufrufen
8807'    3E 06      ld a,6         ;Bildschirm löschen
8809'    D3 70      out (gdp),a     ;und ausführen

880B'    CD 8839'   call wail      ;Warteschleife aufrufen
880E'    3E 03      ld a,3         ;PEN down
8810'    D3 71      out (gdp+1),a    ;PEN-Mode
8812'    3E 41      ld a,41h        ;Zeichen A laden
8814'    D3 70      out (gdp),a     ;und ausgeben

8816'    CD 8839'   call wail      ;Warteschleife aufrufen
8819'    3E 0F      ld a,15        ;* 15 (Zeichen gross)
881B'    D3 73      out (gdp+3),a    ;
881D'    3E 42      ld a,42h        ;Zeichen B laden
881F'    D3 70      out (gdp),a     ;und ausgeben

8821'    CD 8839'   call wail      ;Warteschleife aufrufen
8824'    3E 11      ld a,11h       ;* 1 (Zeichen klein)
8826'    D3 73      out (gdp+3),a    ;
8828'    3E 43      ld a,43h        ;Zeichen C laden
882A'    D3 70      out (gdp),a     ;und ausgeben

                                ; Verzögerung
882C'    01 2222   ld bc,2222h    ;z.B. 2222 mal durchlaufen
882F'    0B      wschl:  dec bc         ;Schleifenanfang
8830'    16 FF      ld d,0ffh      ;innere Schleife
8832'    15      er:  dec d
8833'    20 FD      jr nz,er
8835'    78      ld a,b         ;durch diese Befehle wird
8836'    B1      or c         ;das Flag Register beeinflusst
8837'    20 F6      jr nz,wschl

                                ; Warteschleife
8839'    DB 70      wail:  in a,(gdp)    ;Warten bis GDP fertig
883B'    E6 04      and 4         ;(Maskierung)
883D'    28 FA      jr z,wail      ;erst wenn fertig
883F'    C9      ret         ;dann nächsten Befehl

```

END

```

.Z80
;*****
;* ZEICHENPROGRAMM          raku 3'87          *
;*****

0000          cr   equ   0dh           ;Return-Taste
0060          seite equ   60h          ;Seitenadresse
0005          system equ 00005h        ;Systemadresse
0024          stop equ   '$'          ;Ende Eingabeliste
                                org   8800h

8800' AF      start: xor a              ;Hier wird Seite 0
8801' D3 60          out (seite),a      ;verwendet

8803' 11 8820'      ld de,a1           ;Einlesen der Liste
8806' CD 880C'      call string        ;ausführen
8809' C3 8812'      jp eingabe        ;UP Eingabe rufen

880C' 0E 09      string: ld c,9h       ;Zeichenstring zur
880E' CD 0005      call system        ;Ausführung bringen
8811' C9          ret

8812' 3E FF      eingabe:ld a,0ffh     ;Warten bis
8814' 5F          ld e,a              ;eine Taste
8815' 0E 06      ld c,6h             ;gedrückt wird
8817' CD 0005      call system
881A' FE 00      cp 0h
881C' CA 8812'      jp z,eingabe
881F' C9          ret

8820' 1B 1B 47 0D      ai: db 1bh,1bh,'G',cr ;Zeichenliste (Grafikmodus)
8824' 5A 0D          db 'Z',cr        ;Bildschirm löschen
8826' 4D 20 31 30      db 'M 100 100',cr    ;Anfangspunkt setzen
882A' 30 20 31 30
882E' 30 0D
8830' 52 20 35 30      db 'R 50 50',cr        ;Rechteck zeichnen
8834' 20 35 30 0D
8838' 4F 20 33 30      db 'O 30 30 0 360',cr ;Kreis zeichnen
883C' 20 33 30 20
8840' 30 20 33 36
8844' 30 0D
8846' 42 20 48 61      db 'B Hallo',cr      ;'Hallo` schreiben
884A' 6C 6C 6F 0D
884E' 58 20 30 0D      db 'X 0',cr         ;Rücksprung
8852' 41 24          db 'A',stop        ;zum Alpha-Modus

END

```

;* Demoprogramm Vectoren raku 3'87 *
;*****

0070 gdp equ 70h ;BASIS
0060 seite equ 60h ;Seitenadr.
F040 clral! equ 0f040h ;Bildschirmseiten löschen
F055 wait equ 0f055h ;Warten
0005 system equ 00005h ;Systemadresse
org 0100h

0100' CD F040 start: call clral!
0103' CD F055 call wait
0106' 3E 10 ld a,010h ;Hier wird Seite 1
0108' D3 60 out (seite),a ;verwendet

010A' 06 17 ld b,23
010C' 0E 20 ld c,32
010E' loop:

010E' CD F055 call wait
0111' 3E 05 ld a,5
0113' D3 70 out (gdp),a

0115' CD F055 call wait ;Warteschleife aufrufen
0118' 3E 7E ld a,07eh ;Y-Register low
011A' D3 7B out (gdp+11),a

011C' CD F055 call wait ;Warteschleife aufrufen
011F' 3E FF ld a,0ffh ;X-Register low
0121' D3 79 out (gdp+09),a

0123' CD F055 call wait
0126' 3E 03 ld a,3h ;pen down
0128' D3 71 out (gdp+1),a

012A' CD F055 call wait ;Warteschleife aufrufen
012D' 78 ld a,b ;Richtung festlegen
012E' D3 70 out (gdp),a

0130' CD F055 call wait ;Warteschleife aufrufen
0133' 3E 45 ld a,45h ;laenge X-Richtung
0135' D3 75 out (gdp+5),a

0137' CD F055 call wait
013A' 3E 50 ld a,50h ;laenge Y-Richtung
013C' D3 77 out (gdp+7),a

013E' 04 inc b
013F' 78 ld a,b
0140' 91 sub c
0141' 20 CB jr nz,loop

0143' 3E FF eingabe:ld a,0ffh
0145' 5F ld e,a
0146' 0E 06 ld c,6h
0148' CD 0005 call system

014B' FE 00 cp 0h
014D' CA 0143' jp z,eingabe

END

zum Schluss hier noch ein kleines Programm, welches auf 680xx-Systemen läuft:

In diesem Beispiel wird von den Befehlen 'hebe', 'senke', 'drehe' und 'schreite' Gebrauch gemacht. Zuerst wird die Schildkröte bei $x = 50$, $y = 50$ positioniert, Richtung nach oben. Dann schreitet sie 50 mal schreibend nach oben, hebt an, schreitet 50 mal ohne zu schreiben, wird gedreht und schreibt weiter.

```
*****  
;* demo-programm (schildkroete) raku 3'87 *  
;* fuer 680xx - systeme *  
*****  
  
move #50,d1 ;setzen bei 50/50  
move #50,d2  
move #90,d3 ;richtung nach oben  
jsr $set  
  
move #100,d0 ;50 x schreiten und zeichnen  
jsr $schreite  
  
jsr $hebe ;anheben  
move #50,d0 ;50 x schreiten ohne zeichnen  
jsr $schreite  
  
move #-45,d0 ;um 45 grad drehen  
jsr $drehe  
  
jsr $senke ;senken  
move #50,d0 ;50 x schreiten mit zeichnen  
jsr $schreite  
  
move #-45,d0 ;um 45 grad drehen  
jsr $drehe  
move #50,d0 ;50 x schreiten mit zeichnen  
jsr $schreite  
rts
```

6. Fehlersuchanleitung

Sollte Ihre Baugruppe bei den in Kapitel 5 beschriebenen Tests nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen.

Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

6.1 Mögliche Fehler und ihre Behebung

- 6.1.1 Sind die bisher verwendeten Baugruppen in Ordnung?
(Funktionierte das System ohne die Baugruppe GDP 64K?)
- 6.1.2 Sind die Jumper richtig gesteckt?
- 6.1.3 Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Platine unsaubere Lötstellen (zuviel Lötzinn, manchmal zieht das Lötzinn Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen Sie diese Lötstellen nachlöten und die unzulässige Verbindung beseitigen.
- 6.1.4 Haben Sie auch alle IC's richtig herum und am richtigen Platz eingesteckt? (Vergleiche mit Bestückungsplan)
- 6.1.5 Sind alle gepolten Bauteile (Elkos, Dioden, usw.) richtig herum eingelötet?
- 6.1.6 Haben Sie auch keine Lötstelle vergessen zu löten? (sehen Sie lieber noch einmal nach)
- 6.1.7 Sehen Sie irgendwo "kalte" Lötstellen?
Kalte Lötstellen erkennt man daran, daß sie nicht glänzen, sie sind im Vergleich mit richtig gelöteten Lötstellen trübe.
- 6.1.8 Haben Sie auch nicht zu heiß gelötet?
Wenn der LötKolben zu heiß eingestellt ist und (oder) Sie zu lange auf der Lötstelle bleiben, dann kann es passieren, daß sich die Leiterbahnen von der Platine lösen und Unterbrechungen bilden. Ferner kann es auch passieren, daß Durchkontaktierungen unterbrochen werden, oder daß Bauteile durch zu heißes Löten zerstört werden.
- 6.1.9 Nehmen Sie alle IC's aus ihren Fassungen. Nehmen Sie sich die Layouts zur Hand und kontrollieren Sie alle Leiterbahnen, mit einem Durchgangsprüfer oder mit einem Ohmmeter auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie, der Übersicht wegen, auf dem Layout mit Bleistift durchstreichen oder mit Farbstiften nachziehen.

6.1.10 Prüfen Sie die Versorgungsspannung mit einem Digital-Voltmeter (am Bus +5V, nicht am Netzgerät, da am Kabel bei starker Belastung bis zu 0,5V abfallen können). Toleranzen von +/- 5% also von 4,75V bis 5,25V sind erlaubt. Falls die Spannung zu gering ist, prüfen Sie, ob die Verbindung vom Netzteil zum Bus mit ausreichend dickem (mind. 2 mm Quadrat) Kabel erfolgt ist. Gegebenenfalls müssen Sie Ihr Netzteil nachregeln. Vorsicht: nie über 5,1V nachregeln, da sich auf einigen Platinen 5,1V Zenerdioden befinden, die ab 5,1V durchschalten, was entweder zum Zusammenbruch Ihrer Versorgungsspannung führt oder die Zenerdiode bis zu Ihrer Zerstörung erhitzt.
Übrigens: Wir empfehlen 5,05V.

Wenn Sie alle Leiterbahnen kontrolliert und nichts gefunden haben, dann ist die Wahrscheinlichkeit groß, daß ein Bauteil defekt ist.

Wenn Sie einen Prüfstift oder ein Oszilloskop haben, dann können Sie jetzt überprüfen, ob an den jeweiligen Ausgängen die richtigen Signale anliegen. Welche Signale wo anliegen müssen, können Sie aus der Schaltungsbeschreibung und aus dem Schaltplan entnehmen.

Falls Sie keine Meßgeräte haben, dann müssen Sie alle Bauteile systematisch austauschen, bis Sie das Defekte gefunden haben. Verwenden Sie dazu eventuell eine zweite Baugruppe (die eines Freundes oder eines Bekannten).

Sollten Sie gar nicht zurande kommen, hilft Ihnen unser Pauschal-Reparatur-Service, dessen Bedingungen Sie der Preisliste entnehmen können.

7. Schaltungsbeschreibung

7.1 Wie funktioniert die Baugruppe ?

Das Herz der GDP 64K ist der Graphik Display Prozessor EF 9366 für 512 mal 256 Bildpunkte. Es könnte aber auch der EF 9365 oder der EF 9367 verwendet werden, dazu muß aber die Brücke JMP 3 verändert werden. Standard ist die Bestückung mit dem EF 9366, auf den auch die gesamte Software abgestimmt ist.

Der GDP J20 ist an den Datenbus und an die Adressbits A0...A3 angeschlossen. Über diese Bits können die 16 internen GDP-Register adressiert werden. Sie liegen ab Adresse 70h bis 7Fh. Diese Adressen erzeugt der Decoder J18 aus den Adressbits A4...A7. Weiter wird die Adresse 60h decodiert, die die Seitenumschaltlogik anspricht.

Der Arbeitstakt der GDP 64K wird über der Quarz Q1 und dem Taktgenerator J5 erzeugt. Es sollte darauf geachtet werden, daß auf Grund der hohen Taktrate ein 7404 ohne LS eingesetzt wird ! Der Bildpunkttakt liegt am Punkt C der 7-poligen Buchsenreihe, oben an der Baugruppe.

Der 14 MHz Bildpunktakt führt direkt zum Schieberegister J2 (wird später erwähnt) und zum Zähler J3, der die sonstigen im System benötigten Signale erzeugt. J3 zählt von 8 bis F und lädt sich nach Erreichen von 'F' wieder selbst über J4/9,10,8. Der Grundtakt steuert das Schieberegister J2 über J2/7. Weiter führt er zum Videomischer J15. Dadurch ergibt sich ein Punktakt von 71 ns.

Der Grundtakt der durch den Zähler durch maximal 8 geteilt wird, ergibt einen Systemtakt von 1,75 MHz, der am Ausgang J3/12 ansteht und als CK zum GDP geführt wird.

Über IC J4 wird das CAS* - Signal für die Speicher erzeugt. Der EF 9366 übergibt die 16 Bit große Adresse eines Bildpunktes an seinen Ausgängen DAD 0 (J20/37)...DAD 6 (J20/5) in Verbindung mit den Ausgängen MSL 0 (J20/6)...MSL 2 (J20/7). Die Adressen über die Ausgänge DAD werden gemultiplext, d.h. da nur 7 Ausgänge vorhanden sind, wird die Adresse auf zweimal übertragen; zuerst die niederwertigen dann die höherwertigen 7 Bit. Dieser Vorgang wird durch die Signale CAS* und RAS* gesteuert. In Wirklichkeit werden aber jeweils 8 Bit übertragen, wobei das 8. Bit durch eine zusätzliche Logik (Seitenlogik) erzeugt wird. Die Adressausgänge DAD führen direkt zum GDP, während die MSL-Ausgänge zum Baustein J16 führen, einem 3 zu 8 Decoder mit einigen Besonderheiten.

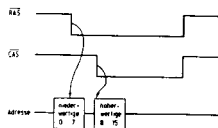


Bild 9
Multiplex der Adressen

J16 decodiert die an seinen Eingängen (A,B,C) anstehende Information und schaltet jeweils einen Ausgang J16/11,9,8 usw. auf LOW. Dadurch wird ein RAS* erzeugt, und die Adressen dem jeweiligen Speicherchip übergeben. J4/1,2,3 verknüpft die Ausgänge ALL* und MEMFREE* des GDP (J20). Ein Enable (Freigabe) des J16 wird erreicht, wenn der Ausgang DW* (J20/14) aktiv ist (über EI*, J16/16) und wenn nicht beide Ausgänge ALL* und MEMFREE* Null sind (über J4/1,2,3).

Der POL-Eingang des Multiplexers J16/12 schaltet alle Ausgänge um. Dies wird bei unserer Schaltung angewandt, um die Speicherinhalte wieder auslesen zu können. Zu diesem Zeitpunkt wären alle Ausgänge von J16 auf '1'; durch POL werden sie zu '0', d.h. alle Speicher erhalten ein identisches RAS*, das die Ausleseadresse definiert. Dies wünscht der GDP (J20) durch seinen Ausgang ALL*.

Die Seitenlogik (page logik) stellt J17 dar. GDP 64K kann vier Seiten bedienen, wobei in eine Seite geschrieben und gleichzeitig eine weitere Seite angezeigt werden kann. Die Seite kann per Software mit dem Seitenport 60h ausgewählt werden.

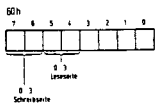


Bild 10
Belegung des
Seitenports

Damit es hier nicht zu Kollisionen kommen kann, dient J17, ein 2 mal 4 zu 1 Multiplexer. Zunächst sei die Brücke (Jump) JMP 3 auf der Stellung '9366' (Ist auf der Platine bereits realisiert). Damit ist nur der linke Teil der Seitenlogik interessant. J17 erzeugt mit seinem Ausgang J17/7 das jeweils höchstwertige Adressbit der gemultiplexten Adresse A15 und A8, das abhängig von der gewählten Seite ist. Eine weitere Logik (J14 über J3) sorgt dafür, daß diese Adresse auch richtig im Timing der Speicher erzeugt wird. Abhängig von der Information an den Select - Eingängen A und B (J17/14,2) wird einer der Eingänge 0...3 (J17/3,4,5,6) durchgeschaltet. Die Eingänge J17/0,1 bestimmen die Seite, aus der gelesen werden soll, J14/2,3 definieren die Schreibseite (vgl auch obige Abbildung).

Um Störungen zu vermeiden, darf in ein Bild nur dann geschrieben werden, wenn der Strahl außerhalb des darstellbaren Bereiches liegt. Der GDP (J20) teilt dies durch seinen BLK- (Blank) Ausgang J20/25 mit, der an einen Eingang von J17 gelegt ist. Der andere Eingang wird von einer Taktflanke, die mit J14 zwischen RAS und CAS liegt, belegt. Dadurch wird die Adresse einer aktuellen Seite nur zum erlaubten Zeitpunkt umgeschaltet, da die dynamischen Speicher die Adressinformation ja sequentiell angelegt bekommen.

Welche Seite angesprochen ist, wird durch das jeweils höchstwertige Bit der gemultiplexten Adresse, also A7 und A15, das jeweils über J17/7 durchgeschaltet wird, definiert.

Die Ausgabedaten der RAM's fließen an die Eingänge des 8-Bit Schieberegister J2. Jeweils zu Beginn eines neuen Takt-schrittes werden die 8 Punktdaten hier übernommen, gesteuert durch J15. Während der Blank-Zeit, gesteuert durch J20/25 BLK über J15, wird die feste '1' des 'Serial Inputs' übernommen. Eine '1' entspricht einem dunklen Bildpunkt. Die hinausgeschobenen Daten (J2/13) werden mit dem Punkttakt verknüpft über J15/12,13 mit dem Synchronisationssignal über SYBC (J20/34), J1 und den Widerständen R3, R5 und R7 vermischt.

7.2 Hinweise zum Monitoranschluß :

- VS - Signal: Eine logische Eins geht direkt an ST3/9 wenn JMP2 gesetzt ist. Ist JMP1 gesetzt, wird das VS - Signal negiert an ST3/9 geführt.
- HS - Signal: Eine logische Eins geht direkt an ST3/8 wenn JMP4 gesetzt ist. Ist JMP3 gesetzt, wird das HS - Signal negiert an ST3/8 geführt.
- VI - Signal: Eine logische Eins geht direkt an ST3/7 wenn JMP6 gesetzt ist. Ist JMP5 gesetzt, wird das VI - Signal negiert an ST3/7 geführt.

Bei Verwendung eines normalen Monitors wird die BAS- Buchse BU1 verwendet, soll ein TTL-Monitor z.B. ein IBM - Monitor angeschlossen werden, benötigt man zusätzliche Synchronisationssignale (HS und VS). Deshalb wird der Monitor an ST3 angeschlossen. ST1 verwendet man intern für Messzwecke.

8. Grafikzeichen direkt eingeben:

8.1. Grafikzeichen direkt eingeben:

Nach dem Einschalten erscheint (mit CPU Z80) das Flomon-Grundmenü. Drückt man nun CTRL-C gefolgt von ESC ESC G, so wird auf den Grafik-Modus umgeschaltet. Nun ist der Grafikprozessor bereit, Grafikbefehle aufzunehmen. Die Eingaben sind jetzt nicht mehr sichtbar.

Beispiel: Drücken der Taste 'Z', der gesamte Bildschirm gelöscht, es ist alles dunkel und auch kein Cursor zu sehen. Durch Eingabe von M 100 100 wird der Anfangspunkt mit den Koordinaten $x=100$, $y=100$ festgelegt. Danach zeichnen wir ein Rechteck. Der Befehl hierzu lautet: R30 30 (Rechteck mit 30×30 Punkten, aber aufgepaßt, weil der Bildschirm 256×512 Punkte hat, wird dieses Rechteck kein Quadrat! Um ein Quadrat zu erhalten muß eine Seite dementsprechend geteilt werden : R30 15)

Beim Einschalten des Grafikmodus wird automatisch die Seite 0 angewählt. Nun ist es aber auch möglich, eine andere der 4 Seiten auszuwählen. Der Befehl P n cr macht dies möglich, wobei n der Parameter zur Festlegung der Schreib- und Leseseite ist: ($n = \text{Schreibseite} \times 4 + \text{Leseseite}$). P 10 cr (cr=RETURN) wählt also die Seite 2 als Schreib- und Leseseite aus. Will man verschiedene Seiten der Reihe nach anzeigen, verwendet man den X - Befehl. X n cr ist die Befehlssyntax, wobei n die Zeitdauer der Anzeige darstellt ($n = \text{Multiplikator} \times 20 \text{ ms}$).

Eine kleine 'Programm' - Sequenz:

Achten Sie bitte darauf, daß die Grafikbefehle in Großbuchstaben eingegeben und mit RETURN abgeschlossen werden müssen.

Nach dem Einschalten des Computers gehen Sie wie folgt vor:

```
CTRL-C drücken,  
dann ESC ESC G (Grafikmodus ein)  
(Vorsicht, jetzt sehen Sie nicht mehr, was Sie eintippen.)  
Z (Bildschirm löschen)  
M100 100 (Anfangskoordinaten)  
R 20 20 (Rechteck  $x=20$ ,  $y=20$  zeichnen)  
P 5 (Seite 1 auswählen)  
R 30 30 (Rechteck  $x=30$ ,  $y=30$  zeichnen)  
P 10 (Seite 2 auswählen)  
R 40 40 (Rechteck  $x=40$ ,  $y=40$  zeichnen)  
P 15 (Seite 3 auswählen)  
R 50 50 (Rechteck  $x=50$ ,  $y=50$  zeichnen)  
X 20 (Seiten 0...3 zyklisch anzeigen)
```

Programmbeschreibung:

Nachdem mit M100 100 ein Anfangspunkt festgelegt wurde, wird ein Rechteck auf die Seite 0 gezeichnet. Nun wird mit dem P - Befehl die nächste Seite angewählt und ein größeres Rechteck konstruiert. Zum Schluß wird mit X 20 ein zyklisches Anzeigen aller Seiten gestartet.

Gestoppt werden kann dieser Vorgang durch Eingabe von X 0. Es wird bei der augenblicklich angezeigten Seite angehalten.

8.2. Oben beschriebenes Beispiel als Basic-Programm:

Die Grafikbefehle werden hier durch BASIC übertragen. Mit CHR\$(27) wird die Taste ESC dargestellt. Achten Sie auch hier darauf, daß Grafikbefehle nur in Großbuchstaben eingegeben werden.

```
1 Print CHR$(27);CHR$(27);"G"  
2 Print "Z;P0"  
3 Print "M100 100"  
4 Print "R20 20"  
5 Print "P 5"  
6 Print "R30 30"  
7 Print "P 10"  
8 Print "R40 40"  
9 Print "P 15"  
10 Print "R50 50"  
11 Print "X20"
```

8.3. Die gleiche Routine in TURBO PASCAL.

```
program test;  
BEGIN  
  writeln (#27,#27,'G');  
  writeln ('Z;P0');  
  writeln ('M100 100');  
  writeln ('R20 20');  
  writeln ('P 5');  
  writeln ('R30 30');  
  writeln ('P 10');  
  writeln ('R40 40');  
  writeln ('P 15');  
  writeln ('R50 50');  
  writeln ('X 20');  
END.
```

Nach Starten des Programmes werden wie auch im BASIC - Programm alle vier Seiten der Reihe nach angezeigt. Da auf jeder Seite ein Rechteck verschiedener Größe abgebildet ist, bekommt man den Eindruck, ein wachsendes Rechteck vor sich zu sehen.

Weitere Befehle finden Sie im Buch 'Rechner modular' beschrieben, dessen Bestellnummer der Einführung zu entnehmen ist.

9.1 Ausblick

Korrekturen für dieses Handbuch werden in der Zeitschrift LOOP bekanntgegeben. Man sollte dann die fehlerhaften Stellen von Hand korrigieren.

9.2 Kritik

Bitte senden Sie uns die ausgefüllte Kritikkarte, die dem Bausatz beiliegt, zurück. Sie helfen uns, unsere Produkte und unseren Service noch besser zu gestalten. Für Fehlermeldungen und Verbesserungen, die dieses Handbuch betreffen, sind wir immer dankbar!

10.1 TTL-IC's

M5K4164S-15, S-20

65 536-BIT (65 536-WORD BY 1-BIT) DYNAMIC RAM

DESCRIPTION

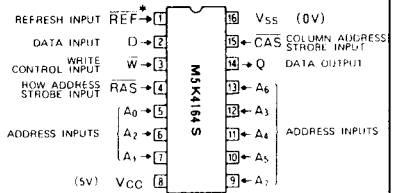
This is a family of 65 536-word by 1-bit dynamic RAMs, fabricated with the high performance N-channel silicon-gate MOS process, and is ideal for large-capacity memory systems where high speed, low power dissipation, and low costs are essential. The use of double-layer polysilicon process technology and a single-transistor dynamic storage cell provide high circuit density at reduced costs, and the use of dynamic circuitry including sense amplifiers assures low power dissipation. Multiplexed address inputs permit both a reduction in pins to the standard 16-pin package configuration and an increase in system densities. The M5K4164S operates on a 5V power supply using the on-chip substrate bias generator.

FEATURES

Type name	Access time (max) (ns)	Cycle time (ms)	Power dissipation (5V) (mW)
M5K4164S-15	150	260	200
M5K4164S-20	200	330	170

- Standard 16-pin package
- Single 5V ±10% supply
- Low standby power dissipation: 28.0mW (max)
- Low operating power dissipation: 275mW (max)
- Unlatched output enables two-dimensional chip selection and extended page boundary
- Early-write operation gives common I/O capability
- Read-modify-write, RAS-only refresh, and page-mode capabilities
- All input terminals have low input capacitance and are directly TTL-compatible

PIN CONFIGURATION (TOP VIEW)



Outline 16S1

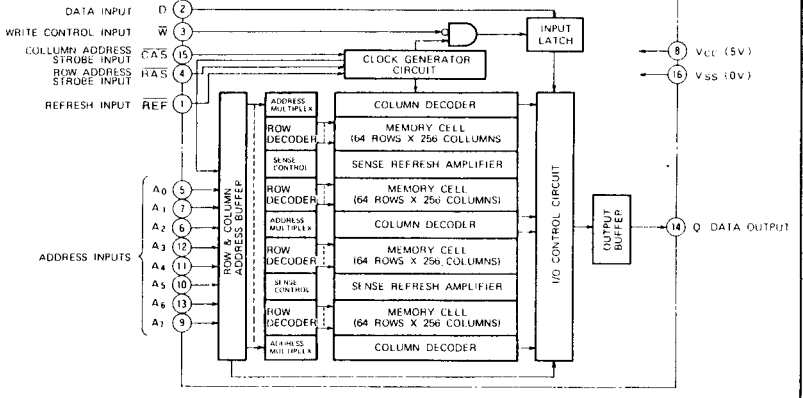
* If the pin 1 (REF) function is not used, pin 1 may be left open (not connect).

- Output is three-state and directly TTL-compatible
- 128 refresh cycles every 2ms
- (16K dynamic RAMs M5K4116P, S compatible)
- Pin 1 controls automatic- and self-refresh mode.
- CAS controlled output allows hidden refresh, hidden automatic refresh and hidden self-refresh.
- Output data can be held indefinitely by CAS.
- Interchangeable with Mostek's MK4164 and Motorola's MCM 6664 in pin configuration.

APPLICATION

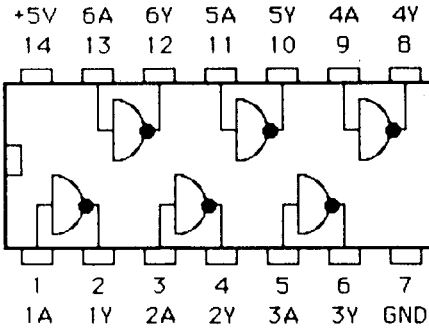
- Main memory unit for computers.

BLOCK DIAGRAM



7404

6 Inverter



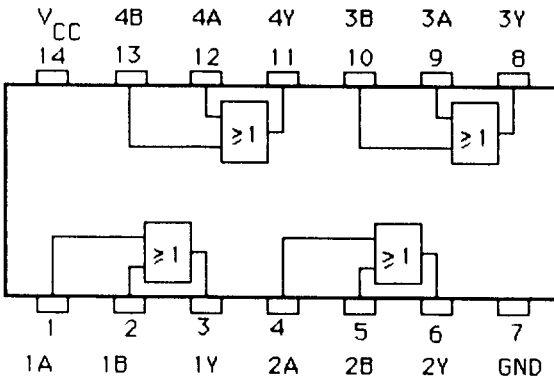
Logiktablelle:

A	Y
0	1
1	0

Typ. Impuls-
Verzögerungszeit: 10 ns
Typ. Versor-
gungsstrom: 4 mA

74LS32

Vier Or-Gatter mit je 2 Eingängen

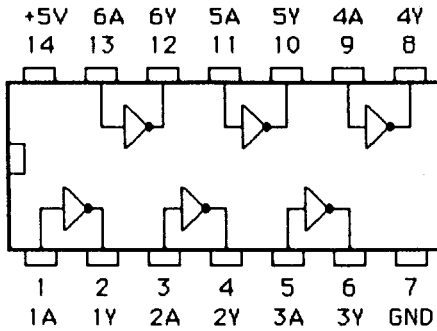


Typ. Impulsverzögerungszeit: 12 ns

Typ. Versorgungsstrom: 4 mA

74LS 05

Sechs Inverter (open Collector)



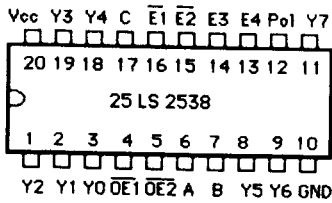
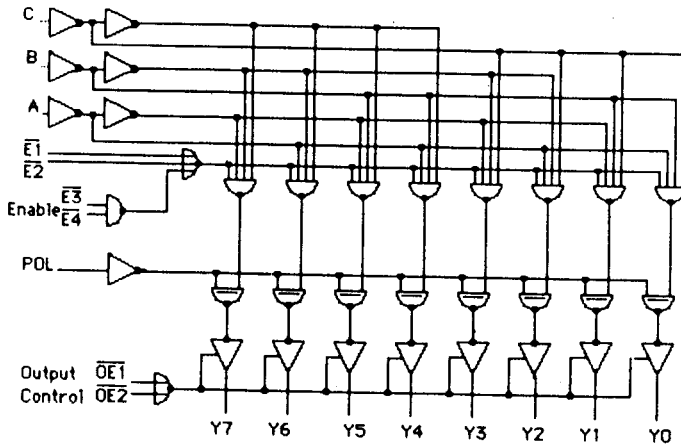
Positive Logik: $Y = \bar{A}$

Typ. Impuls-
Verzögerungszeit: 22 ns

Typ. Leistungs-
aufnahme: 60 mW

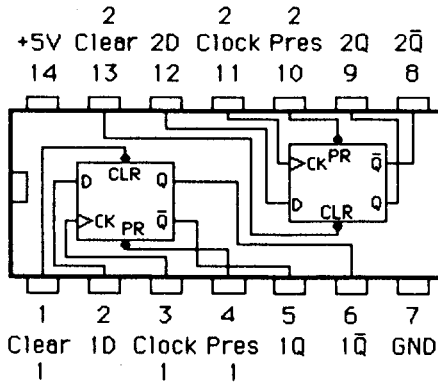
25 LS 2538

3 zu 8 Dekoder



74LS74

Zwei D-Flipflops mit Preset und Clear



Wahrheitstabelle:

Inputs				Outputs	
Preset	Clear	Clock	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	\bar{Q}_0

Positive Logik

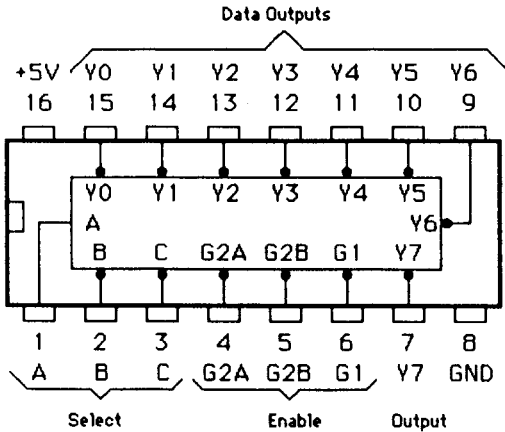
*Dieser Zustand ist nicht stabil; d.h. er bleibt nicht erhalten, wenn Preset und/oder Clear inaktiv (High) werden.

Typ. Impulsverzögerungszeit : 19 ns

Typ. Versorgungsstrom : 4 mA

74LS138

3-Bit Binärdekodeer/Demultiplexer (3 zu 8)



Logiktablelle:

Inputs					Outputs							
Enable		Select			Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
G1	G2*	C	B	A								
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

Positive Logik

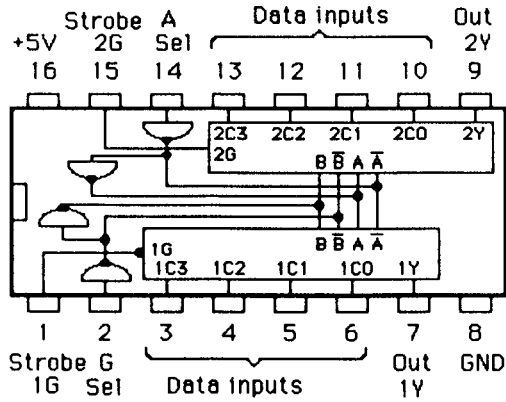
*G2 = G2A + G2B

Typ. Impulsverzögerungszeit : 22 ns

Typ. Versorgungsstrom : 7 mA

74LS 153

Zwei 4 zu 1 Datenselektor / Multiplexer



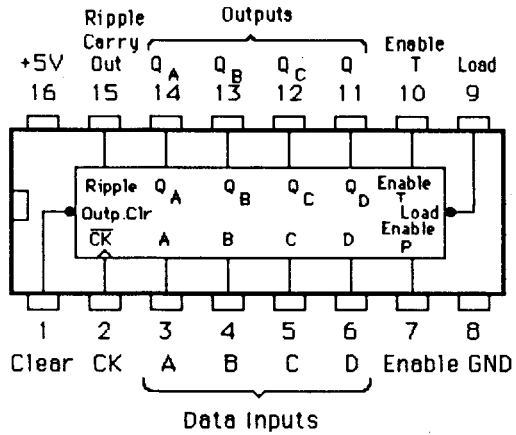
Wahrheitstabelle:

Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

positive Logik

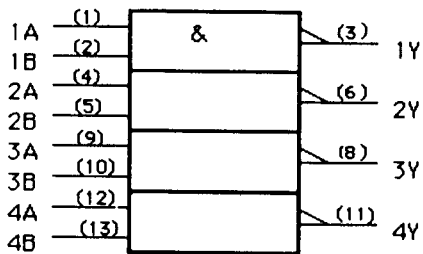
74LS 163

Synchroner programmierbarer 4 Bit Binärzähler mit synchronem Clear



74LS00

4 NAND-Gatter mit je 2 Eingängen

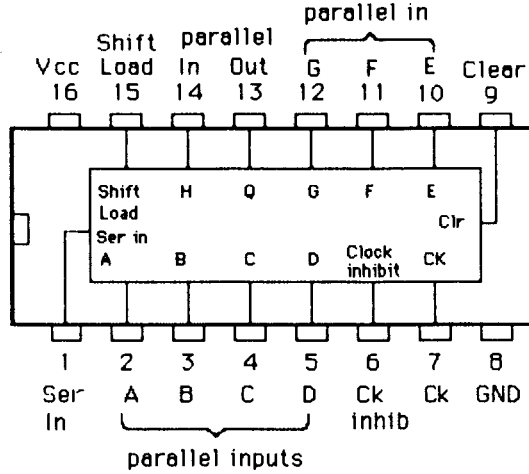


Typ. Impulsverzögerungszeit: 9,5 ns

Typ. Versorgungsstrom: 13 mA

74LS166

Acht Bit Schieberegister mit Paralleleingabe und Clear



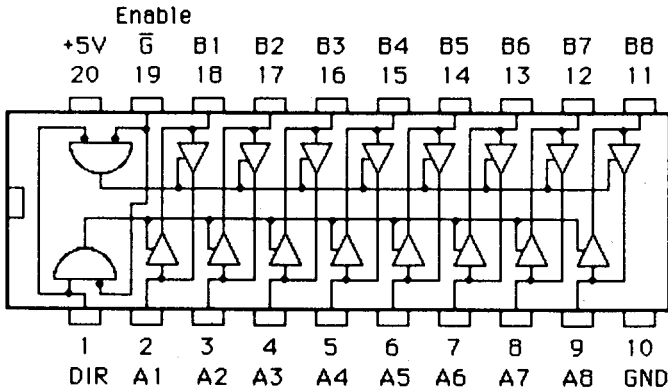
Function Table:

Clear	Inputs					Internal Outputs		Output Q _H
	Shift/ Load	Clock Inhibit	Clock	Serial	Parallel A...H	Q _A	Q _B	
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q _{AO}	Q _{BO}	Q _{HO}
H	L	L	↑	X	a...h	a	b	h
H	H	L	↑	H	X	H	Q _{An}	Q _{Gn}
H	H	L	↑	L	X	L	Q _{An}	Q _{Gn}
H	X	H	↑	X	X	Q _{AO}	Q _{BO}	Q _{HO}

Positive Logik

74LS245

8-fach Bus-Transceiver mit 3-state Ausgängen



Function Table:

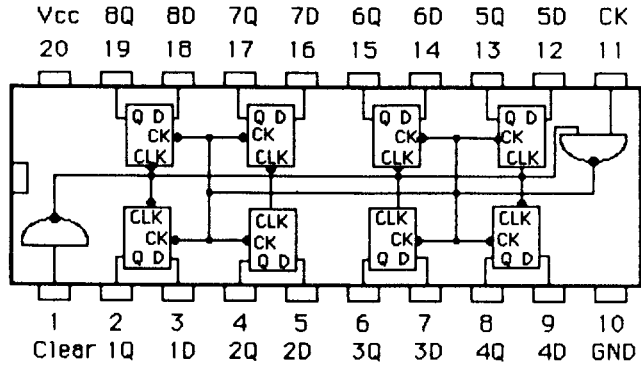
ENABLE \bar{G}	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	x	Isolation

Typ. Impuls-
Verzögerungszeit: 20 ns

Typ. Versor-
gungsstrom: 75 mA

74 LS 273

8 - Bit D Register mit Clear



Function Table:

Inputs			Output
Clear	Clock	D	
L	X	X	L
H	↑	H	H
H	↑	L	L
H	L	X	Q ₀

Typ. Impuls-
Verzögerungszeit: 17,5 ns

Typ. Leistungs-
aufnahme: 85 mW

Register:

Über die Adressen A0 bis A3 können die 16 Register von J20 aufgerufen werden. Tabelle 1 zeigt die Register und die dazugehörigen Adressen.

ADDRESS REGISTER				REGISTER FUNCTIONS		Number of bits	
A3	A2	A1	A0	Read R/W = 1	Write R/W = 0		
0	0	0	0	STATUS	CMD	8	
0	0	0	1	1	CTRL 1 (Write control and interrupt control)	7	
0	0	1	0	2	CTRL 2 (Vector and symbol type control)	4	
0	0	1	1	3	CSIZE (Character size)	8	
0	1	0	0	4	Reserved	-	
0	1	0	1	5	DELTA X	8	
0	1	1	0	6	Reserved	-	
0	1	1	1	7	DELTA Y	8	
1	0	0	0	8	X MSBs	4	
1	0	0	1	9	X LSBs	8	
1	0	1	0	A	Y MSBs	4	
1	0	1	1	B	Y LSBs	8	
1	1	0	0	C	XLP (Light pen)	Reserved	7
1	1	0	1	D	YLP (Light pen)	Reserved	8
1	1	1	0	E	Reserved	-	
1	1	1	1	F	Reserved	-	

Reserved: These addresses are reserved for future versions of the circuit. In read mode, output buffers DO-D7 force a high state on the data bus.

Bild 11

Beschreibung der einzelnen Register:

Status und Kommandoregister (Adresse 0):

Diese Register sind die Schlüsselregister zum Baustein. Das Statusregister kann vom Prozessor gelesen werden - hier meldet der EF 9366 seinen Status. Das Kommandoregister kann beschrieben werden - hier übergibt man ein Kommando zum Baustein.

Status-Register (lesen):

Bedeutung der einzelnen Bits

Bit 0	High	Ende einer Lichtgriffelsequenz
Bit 1	High	Vertikal Blank
Bit 2	High	Bereit für ein neues Kommando
	Low	BUSY (ist beschäftigt)
Bit 3	High	PEN ausserhalb des Anzeigebereiches
Bit 4	High	Lichtgriffel verursachte IRQ (falls freigegeben.)
Bit 5	High	Vertikal Blank verursachte IRQ (falls frei.)
Bit 6	High	Bereit für neues Kommando verursachte IRQ
Bit 7	High	Bit 5,6,7 mit ODER verknüpft:

Kommandoschreiben (Schreiben):
Dieses Register hat 5 Funktionen.

Wert	Bedeutung
00h - 0Fh	Kommandos wie Bildschirm, Register löschen usw.
10h - 17h	Grundvektorbefehle Ein Vektor wird definiert durch den Betrag in den Registern DELTAX und DELTAY sowie durch das hier vorgegebene Vorzeichen.
18h - 1Fh	Vektoren mit Richtungsvorgabe Ein Richtungscode (8 Richtungen) wird übergeben, das kleinere der Register DELTAX oder DELTAY ignoriert und der Vektor mit der Länge des größeren DELTA - Registers gezeichnet.
20h - 7Fh	ASCII - Zeichen werden ausgegeben, Code - Zuordnung siehe folgende Tabelle 2.
80h - FFh	Kurzvektoren In einem Byte ist ein Vektor vollständig definiert.

Bild 12:

b7	b6	b5	b4	b3	b2	b1	b0	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F						
0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1						
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1						
0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	0	1	0	0	1	1	1						
0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1						
b3 b2 b1 b0	0							1	2	3	4	5	6	7	8	9	A	B	C	D	E	F							
0 0 0 0	0	Set bit 1 of CTRL1 Pen selection							SPACE							0 @ P ^ p							SMALL VECTOR DEFINITION:						
0 0 0 1	1	Clear bit 1 of CTRL1 Eraser selection							1							1 A Q a q							b7 b6 b5 b4 b3 b2 b1 b0						
0 0 1 0	2	Set bit 0 of CTRL1 Pen/Eraser down selection							"							2 B R b r							1 Δx Δy Direction						
0 0 1 1	3	Clear bit 0 of CTRL1 Pen/Eraser up selection							#							3 C S c s							Dimension						
0 1 0 0	4	Clear screen							5							4 D T d t							Δx or Δy Vector length						
0 1 0 1	5	X and Y registers reset to 0							%							5 E U e u							0 0 0 step						
0 1 1 0	6	X and Y reset to 0 and clear screen							&							6 F V f v							0 1 1 step						
0 1 1 1	7	Clear screen, set CSIZE to code „minsize“ All other registers reset to 0 (except XLP, YLP)							.							7 G W g w							1 0 2 steps						
1 0 0 0	8	Light-pen initialization (WRITE forced low)														8 H X h x							Direction						
1 0 0 1	9	Light-pen initialization														9 I Y i y							010						
1 0 1 0	A	5 x 8 block drawing (size according to CSIZE)							*							J Z j z							001						
1 0 1 1	B	4 x 4 block drawing (size according to CSIZE)							+							K [k]							000						
1 1 0 0	C	Screen scanning Pen or Eraser as defined by CTRL1							.							< L							110						
1 1 0 1	D	X register reset to 0							-							N m							101						
1 1 1 0	E	Y register reset to 0							>							O n							100						
1 1 1 1	F	Direct image memory access request for the next free cycle.							/							? O -- d							111						

Abb. 5.3.34 Befehle 0 bis FF

Befehle von 00h bis 0Fh:

Bit	Bedeutung
0	Im Register CTRL 1 wird das Bit 1 gesetzt; der Schreibstift (=PEN) wird angewählt. Dieses Bit bzw.-Kommando ist vor jedem Schreiben zu geben.
1	Im Register CTRL 1 wird Bit 1 auf 0 gesetzt; das bedeutet , daß der Radiergummi (ERASER) angewählt wurde.
2	Im Register CTRL 1 wird Bit 0 gesetzt - der PEN oder ERASER wird abgesenkt.
3	Im CTRL 1 wird das Bit 0 gelöscht - PEN oder ERASER werden angehoben.
4	Bildschirm löschen.
5	Register X und Y werden rückgesetzt auf 0.
6	Bildschirm löschen und rücksetzen der Register X und Y.
7	Alle Register (außer XLP,YLP) werden zu 0 gesetzt, Bildschirm löschen.
8	Lichtgriffel initialisieren (GDP - Ausgang WHITE aktivieren, Bildschirm blinkt einen Zyklus weiß).
9	Lichtgriffel initialisieren.
A	5x8-Block zeichnen. Die Größe des Blockes ist von Register CSIZE abhängig.
B	4x4-Block zeichnen
C	Bildschirm scannen - PEN oder ERASER wie in CTRL 1 definiert.
D	Register X auf 0 rücksetzen.
E	Register Y auf 0 rücksetzen.
F	Direkter Bildzugriff im nächsten freien Zyklus.

Darstellung von ASCII-Zeichen:

Falls das Bit 7 (das höchstwertige) '0' ist und B6 bis B4 ungleich Null sind, so wird über das Kommando-register ein ASCII-Zeichen übergeben. Dieses Zeichen wird an der Stelle X,Y mit der im CSIZE-Register angegebenen Größe und der in CTRL 2 definierten Richtung angezeigt. Diese Zeichen werden in einer 5x8-Matrix ausgegeben. Nach der Ausgabe eines Zeichens wird x um 6 Bildpunkte erhöht. Dies verdeutlicht nebenstehendes Bild.

Jeder der ausgegebenen Bildpunkte kann durch einen Block, der PxQ groß ist, ersetzt werden. P und Q können von 1 bis 15 reichen und werden im CSIZE-Register festgelegt. Die Zeichen liegen von 20h bis 7Fh und entsprechen den 96 Standard (USA) ASCII-Zeichen. Ein 97stes Zeichen (0Ah) erzeugt einen 5P x 8Q-Block und kann dazu verwendet werden, andere Zeichen zu löschen. Das 98ste Zeichen erzeugt ein 4Px4Q-Feld ohne Zwischenraum zum nächsten Zeichen. Mit diesem Zeichen können grobe graphische Zeichnungen (z.B. Balkendiagramme) erzeugt werden. Ein Zeichen kann auf zweierlei Arten gelöscht werden: Entweder mit dem Zeichen 0Ah, oder indem man das gleiche Zeichen (mit gleichem Startpunkt X,Y) und eingeschaltetem ERASER überschreibt.

Hinweis: Das Blank (20h) löscht nicht, sondern positioniert nur den X-Wert ein Zeichen weiter.

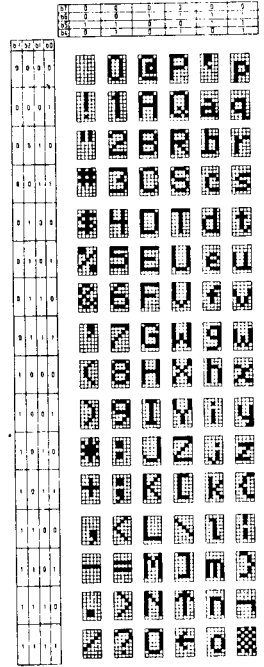
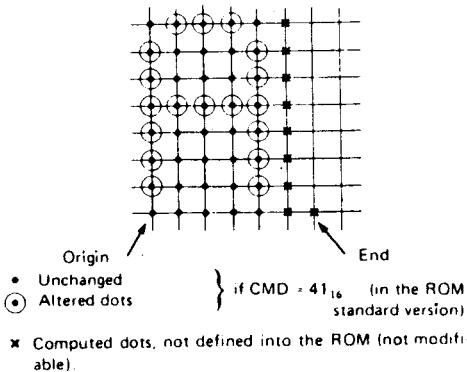


Bild 13

Bild 14



Andere Register:

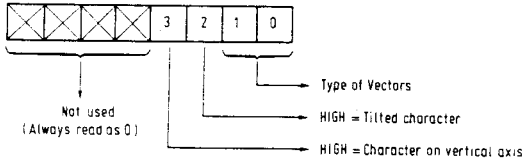
CTRL 1 Steuerregister 1 (Adresse 1)

Einige Bits des Registers sind redundant, d.h. sie können auch über das Kontrollregister gesetzt bzw. gelöscht werden. Es sind dies die beiden (wichtigsten) niederwertigen Bits B0 und B1.

Bit	Bedeutung
0	HIGH = PEN unten LOW = PEN oben
1	HIGH = PEN LOW = ERASER
2	HIGH = schnell schreiben ohne Ausgangssignal
3	HIGH = geschlossene Bildfläche, d.h. es wird auch geschrieben, wenn MSB X,Y außerhalb der Bildfläche sind.
4	IRQ - Freigabe für Lichtgriffel
5	IRQ - Freigabe bei VB
6	IRQ - Freigabe bei 'bereit'
7	Nicht verwendet (0)

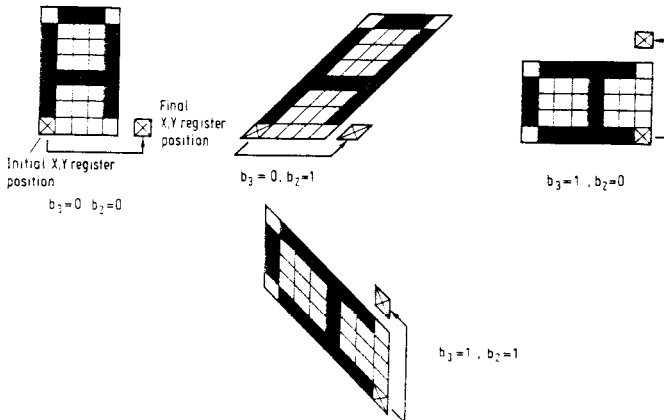
CTRL 2 Steuerregister 2 (Adresse 2)

Steuerregister 2 steuert die Art der gezeichneten Vektoren (durchgezogen, gepunktet, gestrichelt oder strichpunktiert), sowie die Art der Zeichendarstellung.

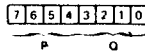


b1	b0	Type of vectors	
0	0	— Continuous	
0	1	··· Dotted	2 dots on, 2 dots off
1	0	- - - Dashed	4 dots on, 4 dots off
1	1	- ··· Dotted - dashed	10 dots on, 2 dots off 2 dots on, 2 dots off

Types of character orientations



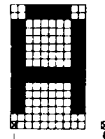
CSIZE (Register zur Festlegung der Zeichengröße) (Adresse 3):
 In diesem Register wird die Größe der darzustellenden Zeichen übergeben. Die Größe ist in X und Y-Richtung in 16 Schritten wählbar.



P: Scaling factor on X axis
 Q: Scaling factor on Y axis



CSIZE = 11,11

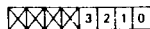


CSIZE = 22,22

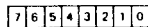
DELTAX und DELTAY (Adressen 5 und 7):
 Diese Register werden bei den Grundvektorbefehlen verwendet und bedeuten die Projektion der Vektorlänge auf die jeweilige Achse. Ihre Bedeutung erhalten diese Register erst bei der Ausgabe von Grundvektoren. Im Befehl wird dann auch das Vorzeichen übergeben. Mit DELTAX und DELTAY = 0 können einzelne diskrete Punkte, deren Lage durch die Register X und Y definiert sind ausgegeben werden.

Lichtgriffel (Adressen C und D):
 Hier wird vom Baustein der aktuelle Stand des Lichtgriffels übergeben. Diese Funktion ist allerdings bei der GDP 64k nicht vor- gesehen.

Register X und Y:
 Diese Register beinhalten den Standpunkt für jede Operation (Vektor zeichnen oder Schriftausgabe). Die Übergabe erfolgt in 12 Bit; damit ergibt sich ein virtueller Raum von 4096 x 4096 Bit, der vom Baustein auch verwaltet wird. 512 (X) x 256 (Y) Bit werden angezeigt.



MSBs



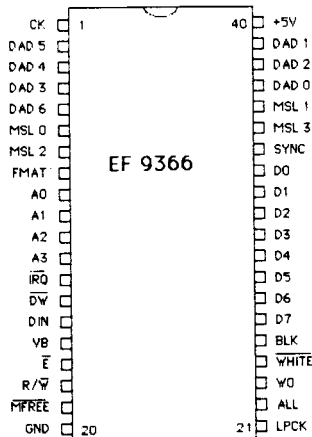
LSBs

Vektor-Befehle: Gruppe A

Vorzeichen		Befehl		
Delta-x	Delta-y	dez.	sedez.	binär
+	+	17	11	0001 0001
-	+	19	13	0001 0011
+	-	21	15	0001 0101
-	-	23	17	0001 0111
>0	-	16	10	0001 0000
-	>0	18	12	0001 0010
-	<0	20	14	0001 0100
<0	-	22	16	0001 0110

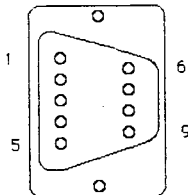
		dez.	sedez.	binär
3	Uhr	24	18	0001 1000
1	Uhr 30'	25	19	0001 1001
12	Uhr	26	1A	0001 1010
10	Uhr 30'	27	1B	0001 1011
6	Uhr	28	1C	0001 1100
4	Uhr 30'	29	1D	0001 1101
9	Uhr	30	1E	0001 1110
7	Uhr 30'	31	1F	0001 1111

Pinbelegung des EF 9366:



Pinbelegung IBM- Monitorkabel

- 1 Masse
- 2 Masse
- 3 frei
- 4 frei
- 5 frei
- 6 +Intensität
- 7 +Video
- 8 +horizontal
- 9 -vertikal



Anmerkung: Bei niedrigem Pegel liegen die Signalspannungen zwischen 0,0 und 0,6 V DC, bei hohem Pegel liegen sie zwischen + 2,4 und +3,5 V DC.

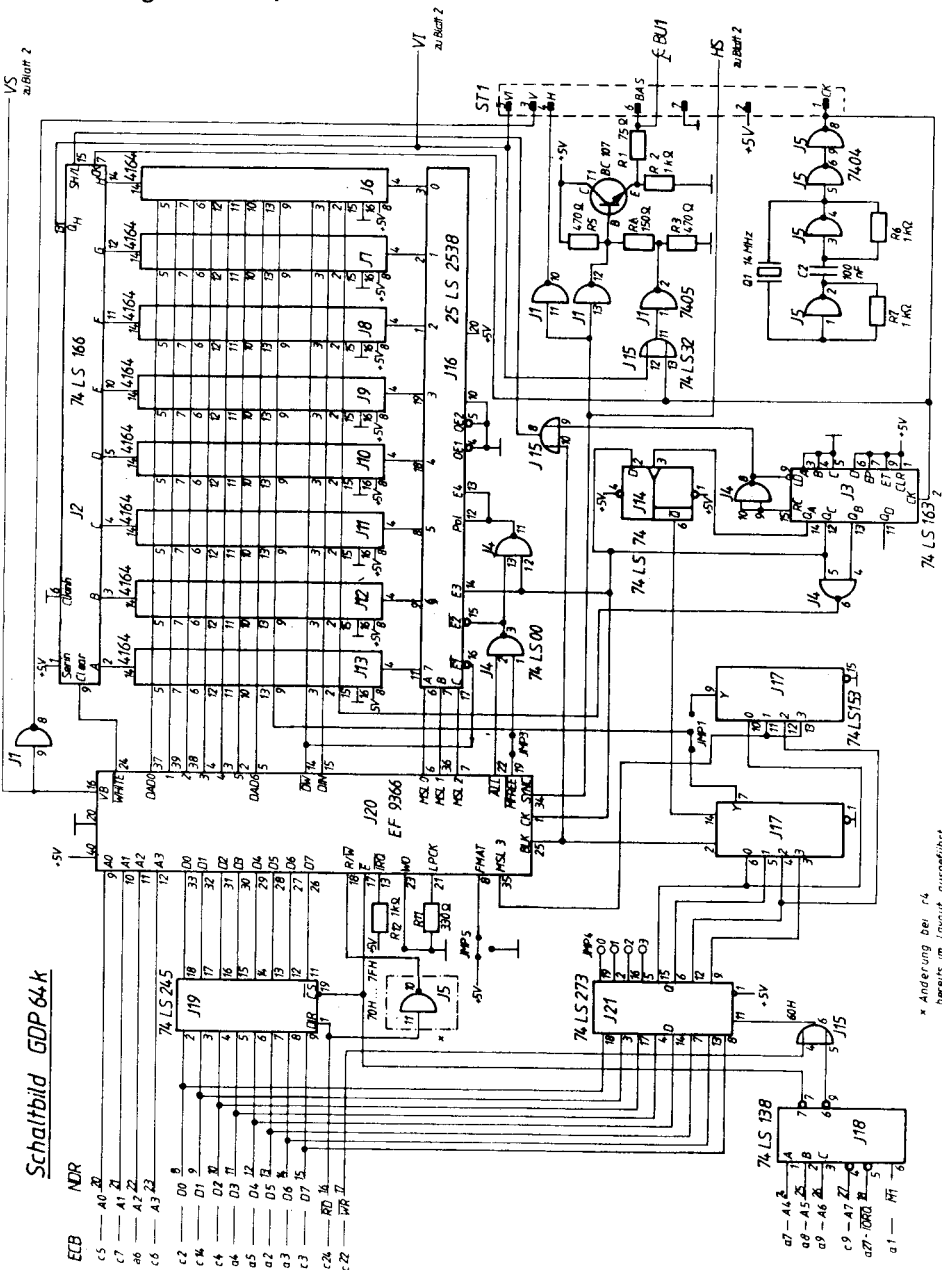
11. Literatur

In unserer Zeitschrift LOOP wird regelmäßig über neue Produkte und Änderungen bzw. Verbesserungen berichtet. Es ist für Sie von großem Vorteil, LOOP zu abonnieren, denn dadurch ist sichergestellt, daß Sie auch immer über die neuesten Informationen verfügen.

Ein LOOP-Abo können Sie bei jeder Bestellung einfach mitbestellen.

Auch auf der Kritikkarte können Sie ein LOOP-Abo ganz einfach bestellen.

Schaltbild GDP 64x

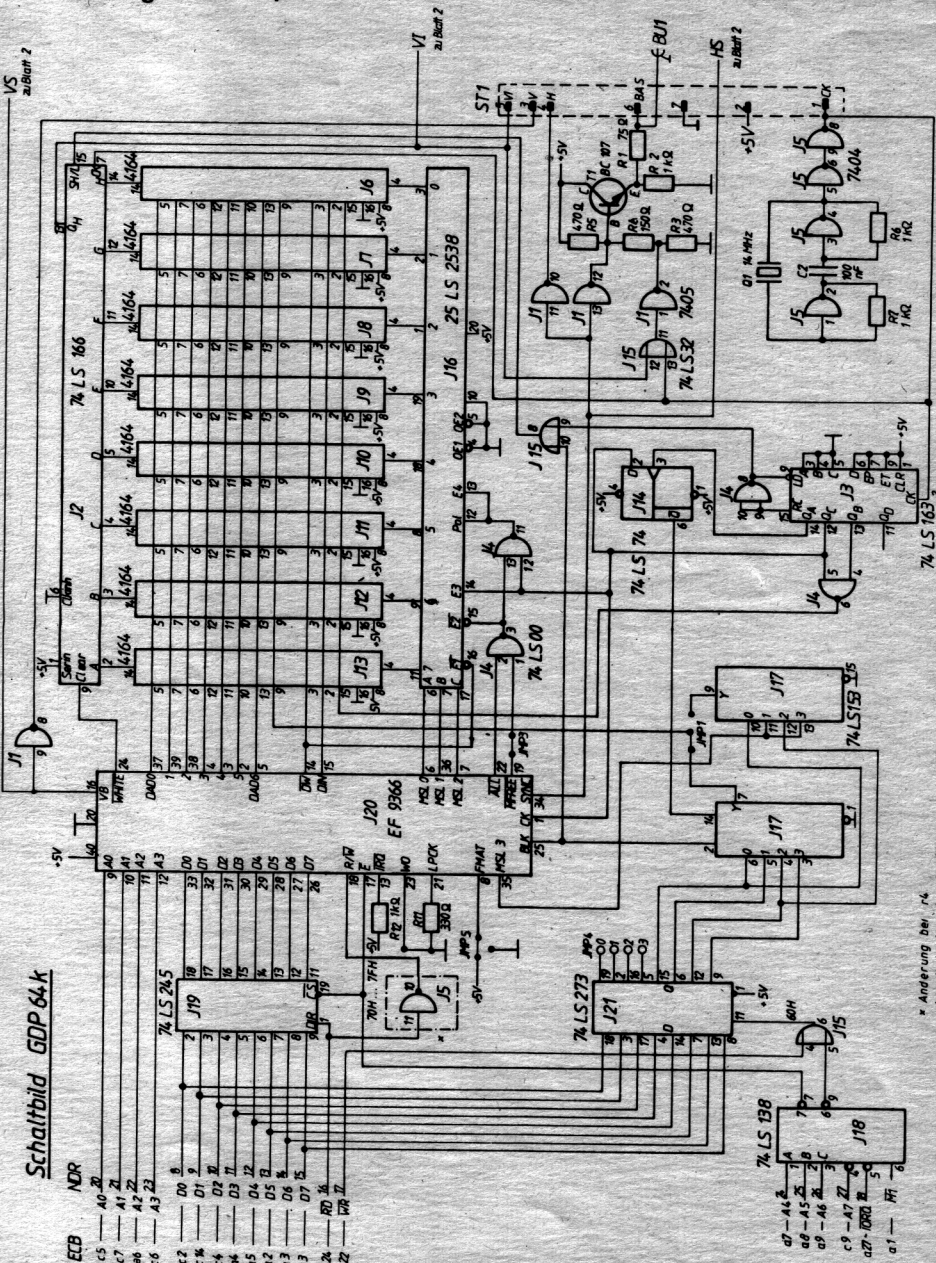


- ECB NDR
- c5 - A0 - 20
- c7 - A1 - 21
- c8 - A2 - 22
- c5 - A3 - 23
- c2 - 00 - 8
- c4 - 01 - 9
- c4 - 02 - 10
- c4 - 03 - 11
- c4 - 04 - 12
- c2 - 05 - 13
- c3 - 06 - 14
- c3 - 07 - 15
- c4 - 08 - 16
- c2 - 09 - 17
- c4 - 10 - 18
- c4 - 11 - 19
- c4 - 12 - 20
- c4 - 13 - 21
- c4 - 14 - 22
- c4 - 15 - 23
- c4 - 16 - 24
- c4 - 17 - 25
- c4 - 18 - 26
- c4 - 19 - 27
- c4 - 20 - 28
- c2 - 21 - 29
- c4 - 22 - 30
- c4 - 23 - 31
- c4 - 24 - 32
- c4 - 25 - 33
- c4 - 26 - 34
- c4 - 27 - 35
- c4 - 28 - 36
- c4 - 29 - 37
- c4 - 30 - 38
- c4 - 31 - 39
- c4 - 32 - 40
- c4 - 33 - 41
- c4 - 34 - 42
- c4 - 35 - 43
- c4 - 36 - 44
- c4 - 37 - 45
- c4 - 38 - 46
- c4 - 39 - 47
- c4 - 40 - 48
- c4 - 41 - 49
- c4 - 42 - 50
- c4 - 43 - 51
- c4 - 44 - 52
- c4 - 45 - 53
- c4 - 46 - 54
- c4 - 47 - 55
- c4 - 48 - 56
- c4 - 49 - 57
- c4 - 50 - 58
- c4 - 51 - 59
- c4 - 52 - 60
- c4 - 53 - 61
- c4 - 54 - 62
- c4 - 55 - 63
- c4 - 56 - 64

GDP 64x		Teil 1	
Kunstmann			14 07 87

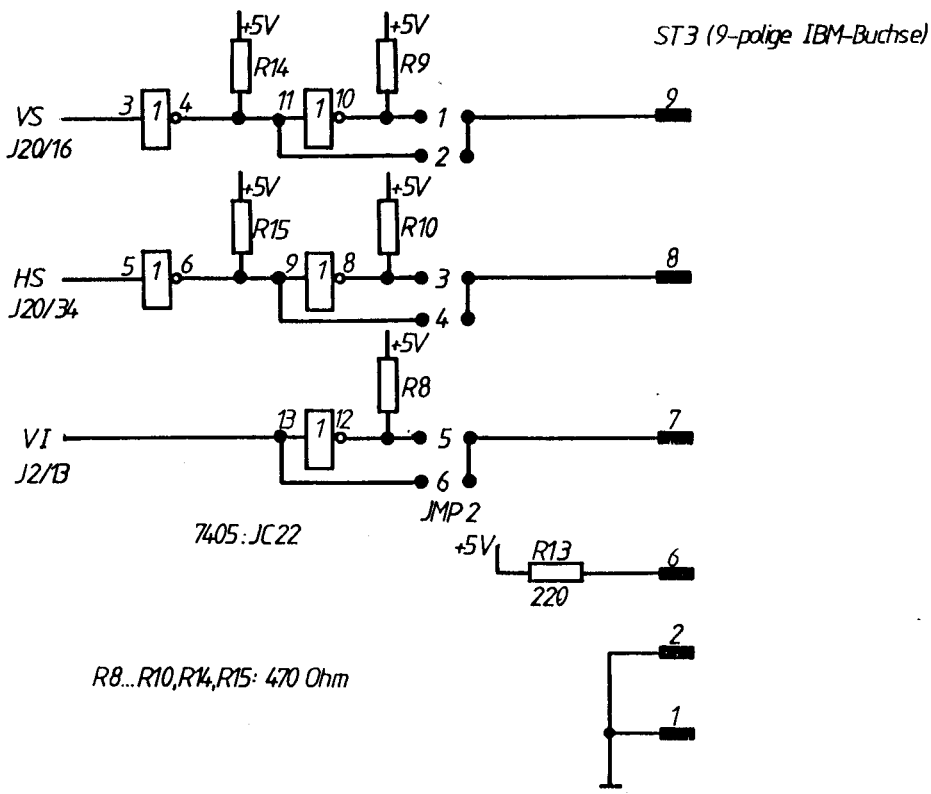
* Änderung bei r4
bereits im Layout ausgeführt

Schaltbild GDP 64k



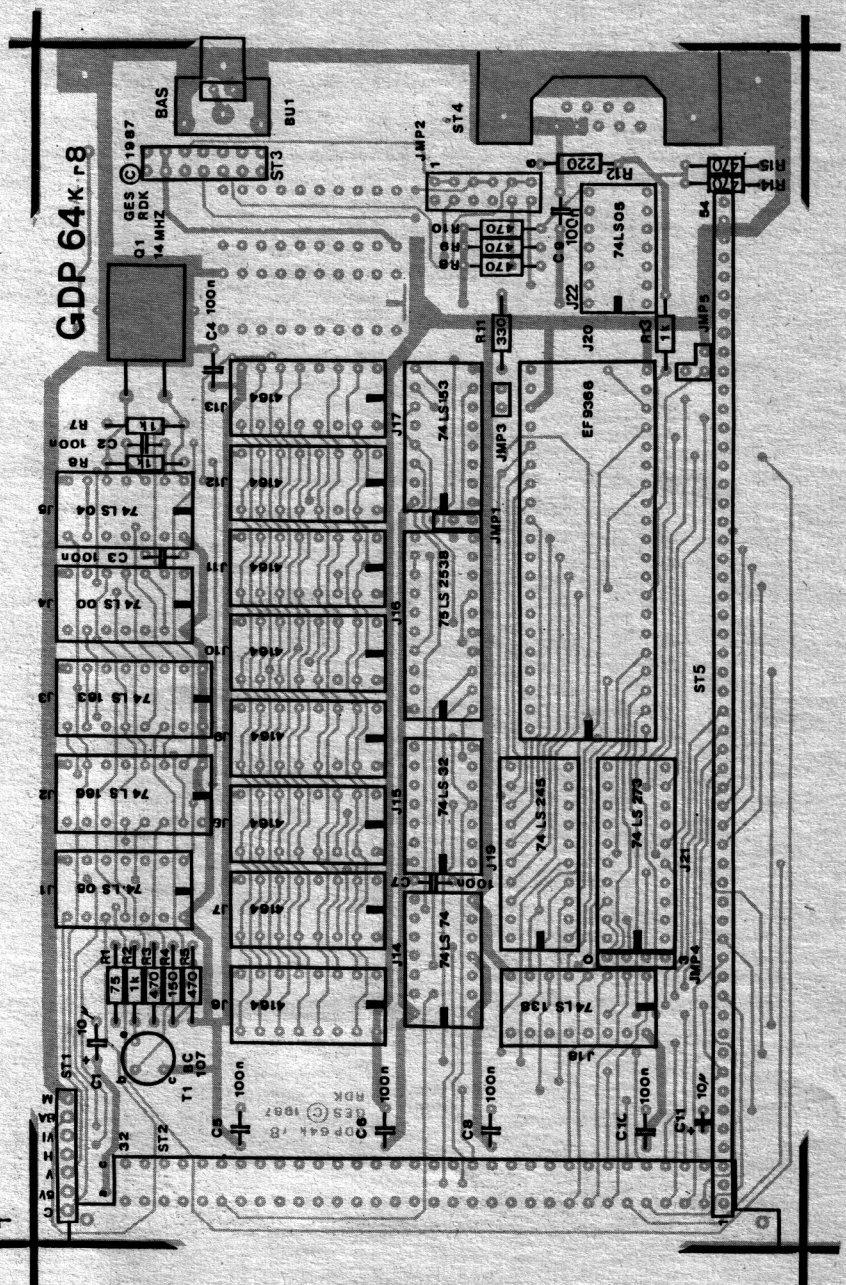
GDP 64k		Teil 1
Kunstmann		14.07.87

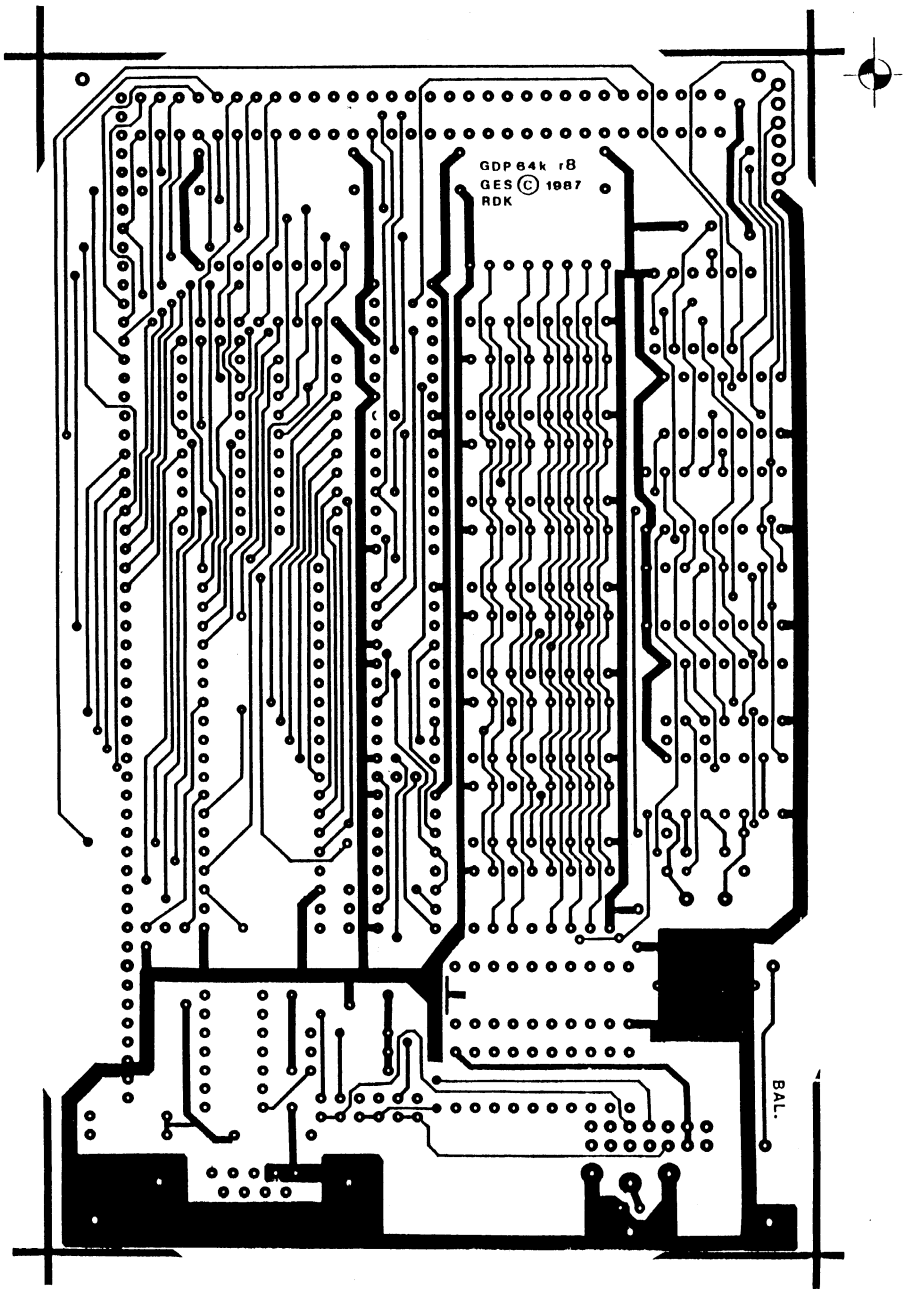
Annang A: Schaltungsplan

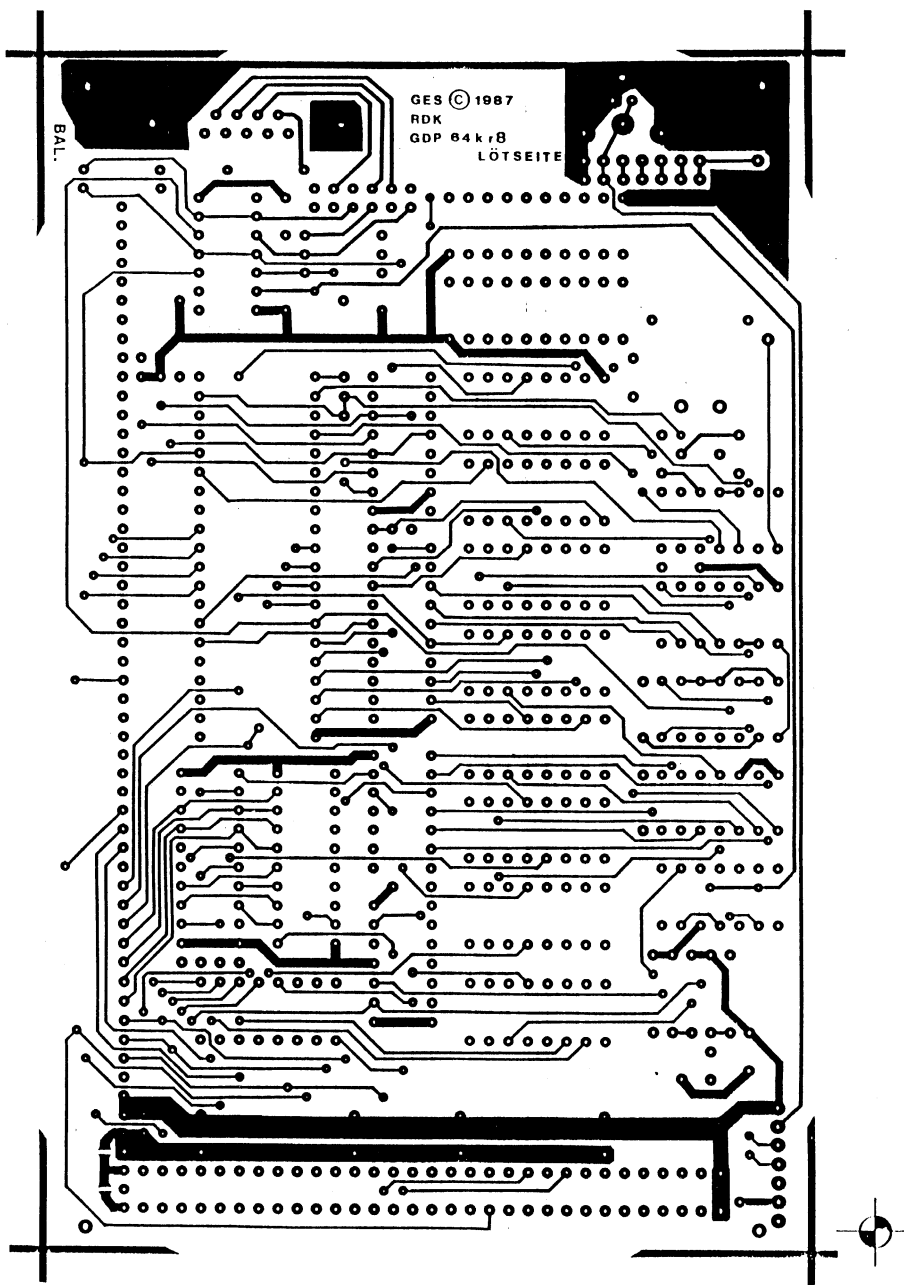


GDP 64k		Teil 2
Kunstmann		14 07 87

GDP 64 K r 8









Telefonservice
08 31- 62 11
jeden Mittwochabend
bis 20.00 Uhr

Graf Elektronik Systeme GmbH

Magnusstraße 13 · Postfach 1610
8960 Kempten (Allgäu)
Telefon: (08 31) 62 11
Teletex: 831804 = GRAF
Telex: 17 831804 = GRAF
Datentelefon: (08 31) 6 93 30

Geschäftszeiten: GES GmbH + Verkauf

Mo. - Do. 8.00 - 12.00 Uhr, 13.00 - 17.00 Uhr
Freitag 8.00 - 12.00 Uhr
Telefonservice

Filiale Hamburg

Ehrenbergstraße 56
2000 Hamburg 50
Telefon: (0 40) 38 81 51

Filiale München:

Georgenstraße 61
8000 München 40
Telefon: (0 89) 2 71 58 58

Öffnungszeiten der Filialen:

Montag - Freitag
10.00 - 12.00 Uhr, 13.00 - 18.00 Uhr
Samstag 10.00 - 14.00 Uhr