

Aufbau-
und

Gebrauchsanleitung

AD 10x1

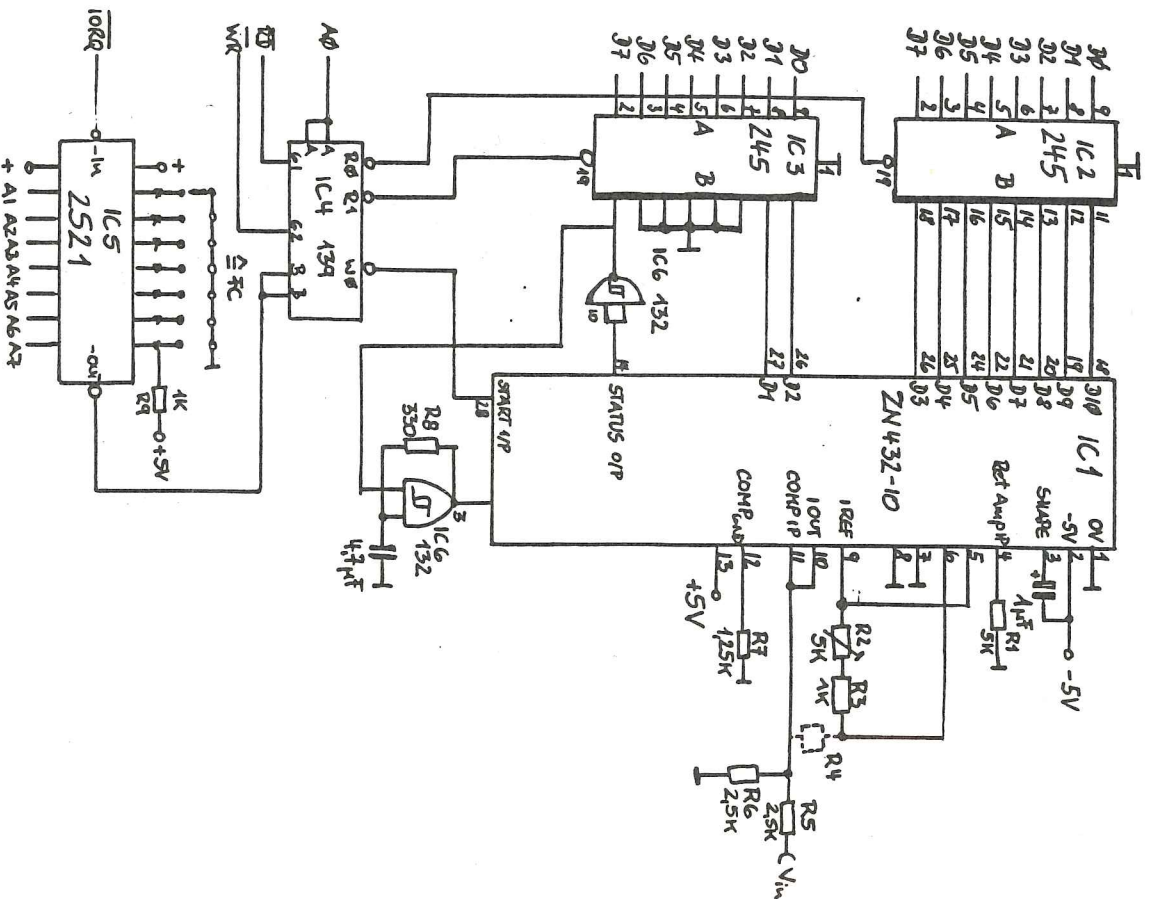
Die AD 10x1-Karte belegt zwei Adressen, über das Einstecken von Kurzschlusssteckern in das Steckfeld ST2 können Sie die Karte adressieren. Die Adressierung ist wie folgt:

Belegung von ST2

A7	A6	A5	A4	A3	A2	A1	Adressen
offen	offen	offen	offen	offen	offen	offen	FEh, FFh
offen	offen	offen	offen	offen	offen	geschl	(*) FCh, FDh
offen	offen	offen	offen	offen	offen	geschl	FAh, FBh
offen	offen	offen	offen	offen	geschl	geschl	FBh, F9h
offen	offen	offen	offen	geschl	offen	offen	F6h, F7h
offen	offen	offen	geschl	offen	geschl	geschl	FAh, F5h
offen	offen	offen	offen	geschl	geschl	offen	F2h, F3h
offen	offen	offen	geschl	offen	geschl	geschl	F0h, F1h
offen	offen	offen	offen	offen	offen	offen	EEh, EFh
:	:	:	:	:	:	:	:
geschl	geschl	geschl	geschl	geschl	geschl	geschl	00h, 01h

(*) Diese Stellung ist vorgezählt (muss also nicht mit Kurzschlusssteckern bestückt werden), da die Adressen FCh, FDh vom Grundprogramm H0N68K genutzt wird. Wenn Sie diese Adressen nicht benutzen möchten, öffnen Sie bitte die entsprechenden Leiterbahnen auf der Karte.

Zum Aufbau von eigenen Anpaßungs- oder Erweiterungsschaltungen steht Ihnen das Lochrasterfeld zur Verfügung. Sie finden, um Ihnen den Aufbau zu vereinfachen, am oberen linken Rand des Rasterfeldes 5 Lötunkte, die mit Masse verbunden sind. Darunter 5 Lötunkte, die 5V führen. Die entsprechenden Anschlusspunkte sind auf der Karte im Belegungsdruck gekennzeichnet.



STÜCKLISTE

Stück Aufdruck

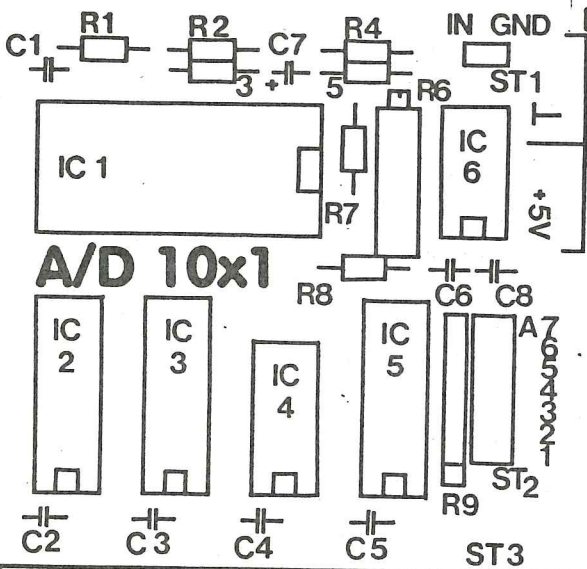
Beschreibung

Stück	Aufdruck	Beschreibung
1	IC 1	Int. Schaltung ZM432E
1	IC 2, 3	Int. Schaltung 74LS245
1	IC 4	Int. Schaltung 74LS139
1	IC 5	Int. Schaltung 251S2521
1	IC 6	Int. Schaltung 74LS132
1	R 1	Widerstand 5KOhm (1)
1	R 2	Cermet Trimmer 5KOhm
1	R 3	Widerstand 1KOhm
1	R 4	Widerstand 1KOhm (2)
1	R 5, 6	wird nicht bestückt
1	R 7	Widerstand 2,5KOhm (1)
1	R 8	Widerstand 1,25KOhm (1)
1	R 9	Widerstand 330 Ohm (2)
1	R	Widerstands-Array 7x1KOhm
6	C 1, 2, 3, 4, 5, 6	Keram. Kondensator 100nF
1	C 7	Tantal Kondensator 1uF
1	C 8	Keram. Kondensator 4,7nF
1	zu IC 1	IC-Sockel DIL 28
3	zu IC 2, 3, 5	IC-Sockel DIL 20
1	zu IC 4	IC-Sockel DIL 16
1	zu IC 6	IC-Sockel DIL 14
1	SP 1	Stiftleiste 2x1pin
1	SP 2	Stiftleiste 2x7pin
1	ST 3	Stiftleiste abgew. 54pin
7		Jumper/Kurzschlussstecker
1		Leiterplatte
		Versionsnummer 223-8431

(1) Metallschicht 1% Toleranz
 (2) Kohleschicht 5% Toleranz

BESTÜCKUNGSDRUCK

ELEKTRONIKLADEN · 4930 Detmold 18



© 1984 RDK R1 'AD 10x1' ELEKTRONIKLADEN

223-8431

BESTÜCKUNG

Die Bestückung der AD10x1-Karte wird Ihnen sicherlich keine großen Schwierigkeiten bereiten. Beginnen Sie wie immer mit dem Einlöten der 54poligen abgewinkelten Steckerleiste. Achten Sie darauf, daß die Pins parallel zur Karte ausgerichtet sind, da Sie sonst Schwierigkeiten bekommen, wenn Sie die Karte in die Busbuchsen hineinstecken. Als nächstes löten Sie bitte die Widerstände und die Kondensatoren ein. Achten Sie beim Einlöten des Widerstands-Netzwerks (Array) auf die richtige Polung. Im Bestückungsdruck finden Sie (oberhalb der Beschriftung "R9") ein kleines Rechteck. Dieses Rechteck kennzeichnet den gemeinsamen Pol des Netzwerkes. Auf dem Körper des Netzwerkes finden Sie diesen Pol deutlich mit einem Punkt gekennzeichnet. Bei den Kondensatoren C 1 - C 6 und C 8 handelt es sich um keramische Kondensatoren, die ungepolt sind. Achten Sie nicht auf das "+"-Zeichen, das der Bestückungsdruck bei C 8 zeigt. Der Kondensator ist ungepolt. Der Tantal-Kondensator C 7 ist jedoch gepolt. Seien Sie hier sorgfältig (und vorsichtig, falsch gepolte Tantals können explosionsartig abrennen)! Sie finden im Bestückungsdruck den Pluspol der Kondensatoren mit einem "+"-Zeichen gekennzeichnet. Auch auf dem tropfenförmigen Plastikkörper des Tantal Kondensators finden Sie den Pluspol mit einem kleinen "+"-Zeichen markiert. Der Pluspol des Tantals gehört in den mit dem kleinen "+" gekennzeichneten Lötspalt. Nun beginnen Sie, wenn Sie die Steckerleisten ST1 und ST2 eingelötet haben, mit dem Aufbringen der IC-Fassungen. Auch hier sollten Sie sorgfältig vorgehen, um zu verhindern, daß Sie später "aus Versehen" eine der integrierten Schaltungen verkehrt herum einstecken. Sie finden bei den Lagebezeichnungen der integrierten Schaltungen im Bestückungsdruck eine kleine Rechteckmarkierung. Sie zeigt die Richtung an, in der das IC, das ebenfalls eine kleine Markierung hat, später stecken soll. Auch die IC-Fassungen sind mit einem kleinen Dreieck im Rahmen gekennzeichnet. Löten Sie also schon die Fassungen richtig herum ein. "Markierung auf Markierung". Nun, vor dem Bestücken der Karte mit den ICs untersuchen Sie die Lötseite der Karte (mit einer Lupe) nach "kalten Lötstellen". Kalte Lötstellen glänzen oft nicht "richtig" sondern scheinen matt. Auch diejenigen unter Ihnen, die "noch nie eine kalte Lötstelle produziert haben", sollten vorsichtshalber kontrollieren. Nun können Sie einen ersten Test durchführen. Stecken Sie die Karte in den Bus ein, schalten Sie die Spannung ein und messen Sie die Betriebsspannungen.

An Pin13 der IC-Fassung für IC1 müssen nun ebenso +5V anliegen wie an den Pins 20 von der Fassung für die ICs 2 und 3. Bei der Fassung für IC4 liegt 5V an Pin16, bei IC5 an Pin20 und bei IC6 an Pin16. Sollten die Spannungen an diesen Punkten nicht anliegen, kontrollieren Sie die entsprechenden Lötverbindungen und Leiterbahnen. Die +5V "kommen" von Pin4 und 5 des Bussteckers ST3. An Pin2 des Wandlers müssen jetzt die von Pin1 des Busses kommenden -5V anliegen. Wenn die Messungen erfolgreich waren, bestücken Sie nun die Fassungen mit den integrierten Schaltungen. Achten Sie auf die Markierungen! IC1 weist mit der "Nase" nach rechts. Alle anderen ICs nach unten zum Busstecker. Biegen Sie, wenn Sie Schwierigkeiten beim Einführen haben, die Pinreihen der ICs auf einer geraden Unterfläche etwas vor. Wenn alle ICs stecken, kontrollieren Sie auch hier noch einmal, ob die Pins auch alle in den Fassungen stecken. Manchmal knicken sich die Pins, statt in die Öffnung der Fassung zu rutschen, unter den Körper der integrierten Schaltung.

Folgendes Programm soll Ihnen beim Test der Karte und beim Abgleich von R2 helfen. Es ist dem Handbuch zum Grundprotogramm KÖN68K von R.D.Klein (Seite 149) entnommen:

```
START: JSR $GETAD10 * Wert holen
        LEA Buffer, AO * Wert ausgeben
        JSR $PRINT4D * Gezimal
        HOVE #10-1, D3 * Rest auffüllen
SCHLEIFE: HOVE.B #' ', (AO)+
          DBRA D3, SCHLEIFE
          CLR.B (AO) * Ende markieren
          LEA BUFFER, AO * und dann ausgeben
          HOVE.B #S33, DO * Schriftgröße
          HOVE #10, D1 * X-Koordinate
          HOVE #120, D2 * Y-Koordinate
          JSR $WRITE * und ausgeben
          HOVE.L #1, DO * Warten 1/100 Sek.
          JSR $DELAY * wegen Flimmern
          BRA START * alles von vorn
          DS.B 20 * dorthin Text
```

Drehen Sie den durch das Klargehäuse des Trimmers sichtbaren Schleifer nach oben (zum oberen Kartenrand). Führen Sie über ST1 +5V an. Diese 5V sollten möglichst genau sein. Benutzen Sie also möglichst ein Digitalvoltmeter zur Einstellung. Jetzt erscheint auf dem Bildschirm ein Zahlenwert. Mit einem Schraubendreher drehen Sie nun die Einstellschraube von R2 bis gerade der Wert 1023 angezeigt wird.

HÄUFIGE FEHLER

Bisher wurden typische Fehler bei der AD10x1-Karte nicht festgestellt. Wenn die Karte nicht läuft, überprüfen Sie noch einmal, ob auch die benötigten -5V anliegen. Der Wandler benötigt sowohl +5V als auch -5V. Kontrollieren Sie auch, ob Sie das Netzwerk R9 richtig herum eingelötet haben.



ADVANCE PRODUCT INFORMATION

10-Bit Successive Approximation Monolithic A/D Converter

FEATURES

- 10 Bit Resolution
- No Missing Codes
- 20 μ s Conversion Time Guaranteed
- Input Range as Desired
- \pm 5V Supplies, TTL/CMOS Compatible
- Parallel and Serial Outputs
- Bipolar Monolithic Construction
- Low Cost Moulded Package

DESCRIPTION

The ZN432E successive approximation analogue to digital converter combines several innovations to provide this function on a fully monolithic silicon integrated circuit. The chip contains a current switching array using a matrix of diffused resistors (no trim required), successive approximation logic with TTL interfacing, 2.5V precision voltage reference with reference amplifier, and fast comparator with good overload recovery. The overall accuracy of the A-D system is sufficient to guarantee no missing codes over the operating temperature range.

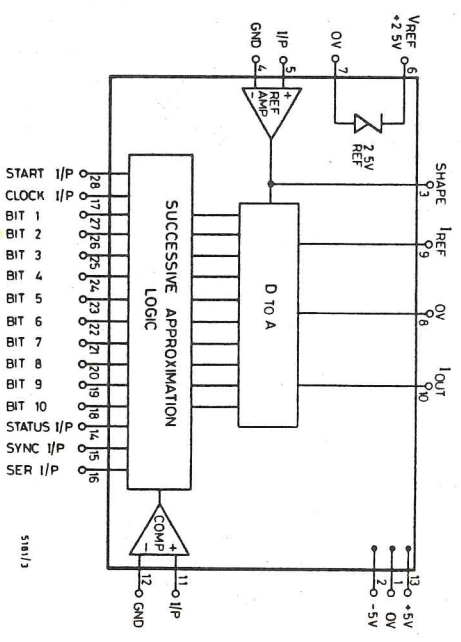


Fig. 1 - INTEGRATED CIRCUIT BLOCK DIAGRAM

A to D CONVERTER
ZN432E

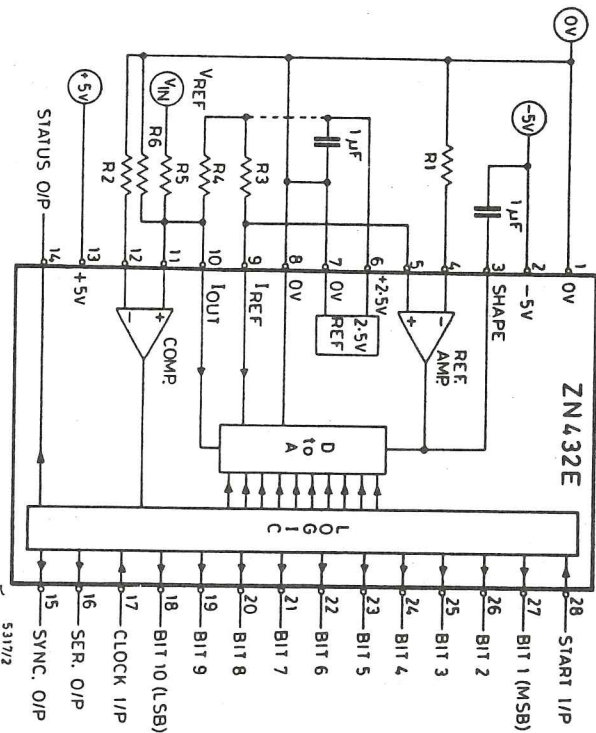


Fig. 2 - TYPICAL EXTERNAL COMPONENTS

ORDERING INFORMATION		
TYPE No.	OPERATING TEMPERATURE RANGE	PACKAGE
ZN432E	0 to +70°C	28 Pin Moulded DIL

ABSOLUTE MAXIMUM RATINGS

Supply Voltages	± 7 volts
Logic Input Voltage	+ V _{cc} and 0V
Operating Temperature	Min. 0°C Max. +70°C
Storage Temperature	-55°C +125°C

ELECTRICAL CHARACTERISTICS

(Supply Voltage = +5V, Tamb = +25°C unless otherwise stated)

Parameter	Min.	Typ.	Max.	Units	Conditions
CONVERTER					
Resolution	10	-	-	Bits	
Linearity Error	-1	0	+1	LSB	Note 1
Differential Linearity Error	-0.8	0	+1	LSB	Note 1
DAC Reference Current (I _{REF})	0.25	0.5	1	mA	Note 6
Conversion Time	-	15	20	µS	Note 2
Nominal Analogue Input Range	-2.5	-	+2.5	V	Note 3
Supply Rejection	0.1	-	-	% per V	
Gain Error	+0.05	-	-	%	Note 4
Gain Tempco	20	-	-	ppm/°C	
Zero Tempco	15	-	-	ppm/°C	
Supply Voltage	± 4.5	± 5	+5.5	V	
Supply Current	35	35	35	mA	
Power Consumption	350	350	350	mW	
INTERNAL VOLTAGE REFERENCE					
Output Voltage	2.38	2.46	2.54	V	Note 5
Slope Impedance	0.75	0.75	± 2	Ω	
Maximum Load Current	± 2	± 2	± 2	mA	

CHARACTERISTICS (continued)

Parameter	t _{amb} = +25°C			Over Spec. Temp. Range		Units	Conditions
	Min.	Typ.	Max.	Min.	Max.		
High level input voltage	2.0			2.0		V	V _S = ±5.5V V _I = 2.4V V _S = ±5.5V V _I = 5.5V
Low level input voltage		7	0.8		0.8	V	V _S = ±5.5V V _I = 0.4V
High level input current		50				μA	I _{load} = -40 μA
Low level input current		1				μA	
High level output voltage	2.4			2.4		V	
Low level output voltage			0.4		0.4	V	I _{load} = 1.6 mA

- NOTE 1. No missing codes over full temperature range at resolution appropriate to accuracy.
- NOTE 2. This corresponds to a maximum clock rate of 550 kHz based on 11 clock periods per conversion cycle (see timing diagram, page 6). This provides an update rate of 45 kHz.
- NOTE 3. Single polarity and other input ranges may be provided by different input resistor values. (See page 5.)
- NOTE 4. Excluding reference.
- NOTE 5. For typical temperature performance see Fig. 5, page 7.
- NOTE 6. The full scale D to A output current I_{OUT} = 4 times I_{REF}. For optimum performance I_{REF} = 0.5 mA.

CALCULATION OF EXTERNAL RESISTORS (See Fig. 2, page 2).

- R₃, R₄, R₅ can affect gain and offset stability and thus require to be of high quality.
- R₁ and R₂ are to allow for the bias current of the reference amplifier and comparator, thus:

$$R_1 = R_3$$

And R₂ = parallel combination of R₄, R₅, and R₆.

- I_{REF} should be 0.5 mA
Therefore

$$R_3 = \frac{V_{REF}}{0.5 \text{ mA}}$$

- Analysing the network yields the following:

$$R_4 = \frac{-V_{REF} R_5}{V_{in \text{ min}}}$$

$$R_5 = \frac{V_{in \text{ max}} - V_{in \text{ min}}}{I_{out \text{ FS}}}$$

Where V_{in} max is the voltage for the logic output to be all 1's.
V_{in} min is the voltage for the logic output to be all 0's.

- R₆ should be chosen such that the parallel combination of R₄, R₅ and R₆ is about 1.25 kΩ as this determines the D to A time constant and hence conversion time.
- The following is a table of values to give examples of the above equations.

V _{in} max	V _{in} min	V _{REF}	R ₁	R ₂ ¹	R ₃	R ₄	R ₅	R ₆ ¹
+2.5	-2.5	2.5	5 kΩ	1.25 kΩ	5 kΩ	2.5 kΩ	2.5 kΩ	∞
+2.5	-2.5	5°	10 kΩ	1.25 kΩ	10 kΩ	5 kΩ	2.5 kΩ	5 kΩ
+2.5	0	2.5	5 kΩ	1.25 kΩ	5 kΩ	∞	1.25 kΩ	∞
+5	0	2.5	5 kΩ	1.25 kΩ	5 kΩ	∞	2.5 kΩ	2.5 kΩ
+4	-2	2.5	5 kΩ	1.25 kΩ	5 kΩ	3.75 kΩ	3 kΩ	5 kΩ
+4	-2	12°	24 kΩ	1.25 kΩ	24 kΩ	3.75 kΩ	3 kΩ	5 kΩ
+10	-10	2.5	5 kΩ	1.25 kΩ	5 kΩ	2.5 kΩ	10 kΩ	3.33 kΩ

- Note 1. Nearest preferred value may be used for R₁, R₂ and R₆
- Note 2. External reference.
- For setting up R₄ will adjust the offset.
R₃ will adjust the gain.
- For unipolar operation where R₄ approaches ∞ and a zero adjustment is required, the following offset circuit is suggested in place of R₄ (Typical values only).

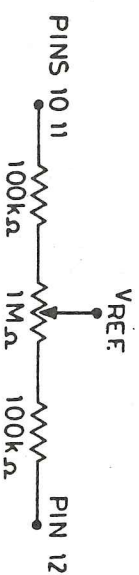


Fig. 3 — OFFSET CIRCUIT WITH UNIPOLAR OPERATION

TIMING DETAILS

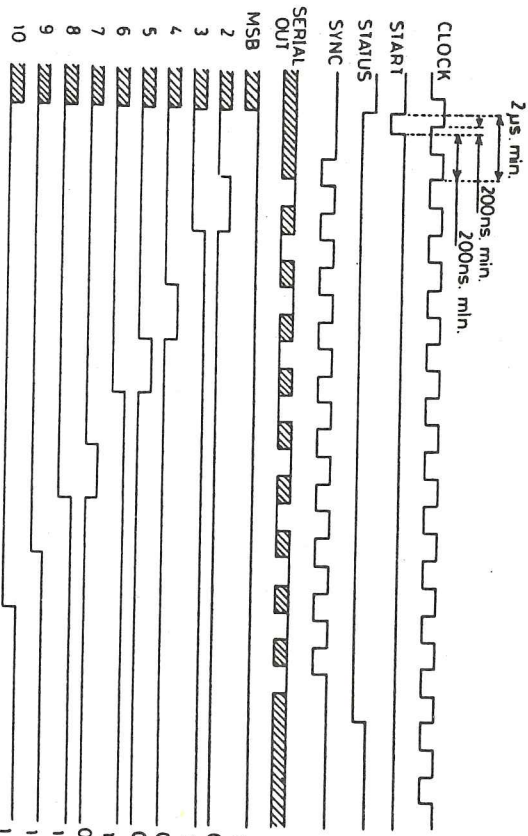


Fig. 4 - TIMING DIAGRAM

NOTES ON TIMING DIAGRAM

1. Conversion is initiated by a 'START' pulse which sets the MSB to 1 and all the other bits to 0.
2. The first active (negative going) edge of Clock after the trailing edge of the 'START' pulse should not occur until at least 200 ns after the leading edge of the 'START' pulse to allow for MSB settling.
3. A negative going edge of Clock must not occur within 200 ns either side of the trailing edge of the 'START' pulse.
4. As a special case of conditions (2) and (3) the 'START' pulse may be coincident with, and of the same duration as, a negative going clock pulse.
5. Serial data is available during conversion at the Serial Output. Ten SYNC pulses are provided to facilitate data transmission. The serial output data is valid on the positive going edge of the SYNC pulse.
6. Cross hatching indicates a 'don't care' condition or, in the case of serial output, invalid data.
7. The conversion sequence shown is for the digital word 1010010111.
8. The parallel output data is valid when the Status Output goes HIGH.

LOGIC CODING

Table 1. Unipolar Operation

Analogue Input Notes 1, 2	Digital Output Code MSB	LSB
FS -1LSB	1111111111	1111111111
FS -2LSB	1111111110	1111111110
½ FS	1000000000	1000000000
½ FS +1LSB	1000000001	1000000001
½ FS	0111111111	0111111111
½ FS -1LSB	0100000000	0100000000
½ FS	0000000001	0000000001
1 LSB	0000000000	0000000000
0		

Table 2. Bipolar Operation

Analogue Input Notes 1, 2	Digital Output Code MSB	LSB
+(FS -1LSB)	1111111111	1111111111
+(FS -2LSB)	1111111110	1111111110
+(½ FS)	1000000000	1000000000
+(1LSB)	1000000001	1000000001
0	0111111111	0111111111
-(1LSB)	0100000000	0100000000
-(½ FS)	0000000001	0000000001
-(FS -1LSB)	0000000000	0000000000

NOTES:

1. Analogue inputs shown are nominal centre values of code.
2. "FS" is full scale.

OFFSET AND GAIN SETTING

For unipolar, supply an input of ½ LSB for transition 0000000000 to 0000000001, and of (full scale -1½ LSB) for transition 1111111111 to 1111111110.

For bipolar, supply an input of -(full scale -½LSB) for transition 0000000000 to 0000000001, and of (full scale -1½LSB) for transition 1111111111 to 1111111110.

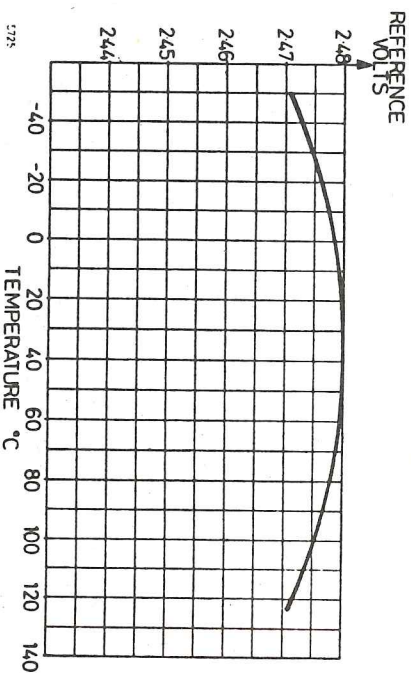


Fig. 5 - TYPICAL REFERENCE VOLTAGE v TEMPERATURE

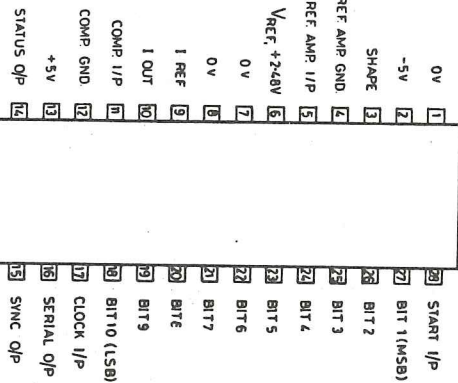


Fig. 6 - PIN CONNECTIONS

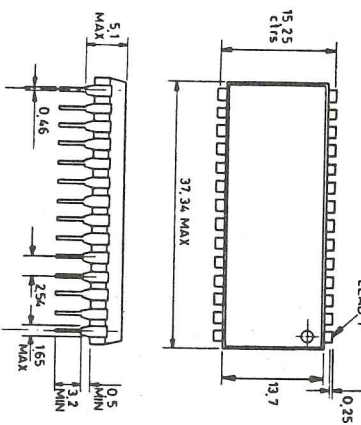


Fig. 7 - PACKAGE DETAILS

© FERRANTI LTD. 1981

The copyright in this work is vested in Ferranti Limited and this document is issued for the purpose only for which it is supplied. No licence is implied for the use of any patented feature. It must not be reproduced in whole or in part, or used for rendering or manufacturing purposes except under an agreement or with the consent in writing of Ferranti Ltd. and then only on the condition that this notice is included in any such reproduction. Information furnished is believed to be accurate but no liability in respect of any use of it is accepted by Ferranti Ltd.

FERRANTI ELECTRONIC LIMITED
FIELDS NEW ROAD, CHADDERTON, OLDAM OL9 8NP, ENGLAND Tel: 061-624 0515 & 66611 Telex: 668038

FERRANTI GmbH, Widemmyerstrasse 5, D8000-Munich 22, West Germany
Tel: 089 293871 Telex: 523980

FERRANTI ELECTRIC INC., 87 Modular Avenue, Commack, N.Y. 11725, U.S.A.

INTERDESIGN INC. (A Ferranti company), 1235 Reewood Avenue, Sunnyvale, California 94086, U.S.A.
Tel: 480-734 8666 TWX: 910 339 9374



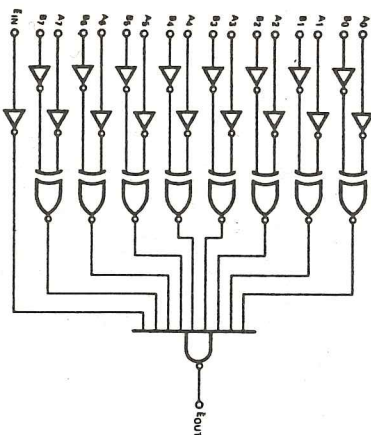
Eight-Bit Equal-to Comparator

Am 25LS2521

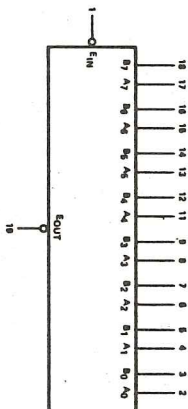
DISTINCTIVE CHARACTERISTICS

- 8-bit byte oriented equal comparator
- Cascadable using E_{IN}
- High-speed, Low-Power Schottky technology
- I_{pd} A & B to E_{OUT} in 9ns
- Standard 20-pin package

LOGIC DIAGRAM



LOGIC SYMBOL



VCC = Pin 20
GND = Pin 10

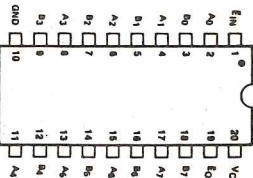
Beschreibung	Gehäuseform DIP	Bestellbezeichnung
8-Bit Equal-to Comparator	Plastik Keramik	Am 25LS2521 PC Am 25LS2521 DC

FUNCTIONAL DESCRIPTION

The Am25LS2521 is an 8-bit "equal to" comparator capable of comparing two 8-bit words for "equal to" with provision for expansion or external enabling. The matching of the two 8-bit inputs plus a logic LOW on the E_{IN} produces an active LOW on the output E_{OUT}.

The logic expression for the device can be expressed as:
E_{OUT} = (A₀⊗B₀) (A₁⊗B₁) (A₂⊗B₂) (A₃⊗B₃) (A₄⊗B₄) (A₅⊗B₅) (A₇⊗B₇) E_{IN}. It is obvious that the expression is valid where A₀ - A₇ and B₀ - B₇ are expressed as either assertions or negations. This is also true for pair of terms i.e. A₀ can be compared with B₀ at the same time A₁ is compared with B₁. It is only essential that the polarity of the paired terms be maintained.

CONNECTION DIAGRAMS - Top Views



Note: Pin 1 is marked for orientation.