

**Der NDR-Klein  
Computer**

Aufbau-  
und  
Gebrauchsanleitung

D/A

## SCHALTUNGSBESCHREIBUNG

Dank des Einsatzes der Ferranti-Digital/Analog-Bausteine ZN428-8 (IC1, 2) ist der Hardware-Aufwand zur Realisierung dieser Schaltung sehr gering. Das Datenblatt des Ferranti-Bausteines ZN428-8 finden Sie ab Seite 8.

Mit den beiden 74LS85 (IC4, 5 <4Bit-Vergleichern>) wird die Adresse eingestellt. Die Auswahl der beiden D/A-Bausteine übernimmt der 74LS138 (IC3 <3 zu 8 Dekoder>). Sobald ein Schreibzugriff anliegt werden die Wandlerbausteine mit /IORQ und /WR selektiert. Im Gegensatz zu vielen anderen Karten des MDR-Klein-Computers benötigt die D/A-Karte keine Bustreiber (z.B.: 74LS245). Die Kommunikation mit dem Prozessor ist "einseitig", da die Ergebnisse der Wandlung über ST1 "nach außen" abgegeben werden. Der Datenbus (D0 bis D7) ist direkt an die Wandlerbausteine herangeführt. Da die Wandlerzeit der Digital/Analog-Wandler nur 800ns beträgt, diese Bausteine also schneller sind als Z80A- und 68008-CPU, ist eine Rückmeldung über das Ende der Wandlung an den Prozessor nicht erforderlich.

Die Ausgangsspannung, die an ST1 gegeben wird, kann zwischen 0V und +2,5V liegen. Als Referenzspannungsquelle dienen den Wandlern intern erzeugte 2,5V. Die beiden Kondensatoren C1 und C2 (100pF) an den Ausgängen der Wandler sollen ein Überspringen bei internen Umschaltvorgängen der Wandler verhindern.

Zum Aufbau von eigenen Anpassungs- und Erweiterungsschaltungen steht Ihnen das Lochrasterfeld zur Verfügung. Sie finden, um Ihnen den Aufbau zu vereinfachen, am oberen linken Rand des Rasterfeldes eine Reihe von Lötunkten, die mit Masse verbunden sind. Darunter eine Reihe von Lötunkten, die +5V führen. Die entsprechenden Anschlusspunkte sind auf der Karte im Bestückungsdruck gekennzeichnet.

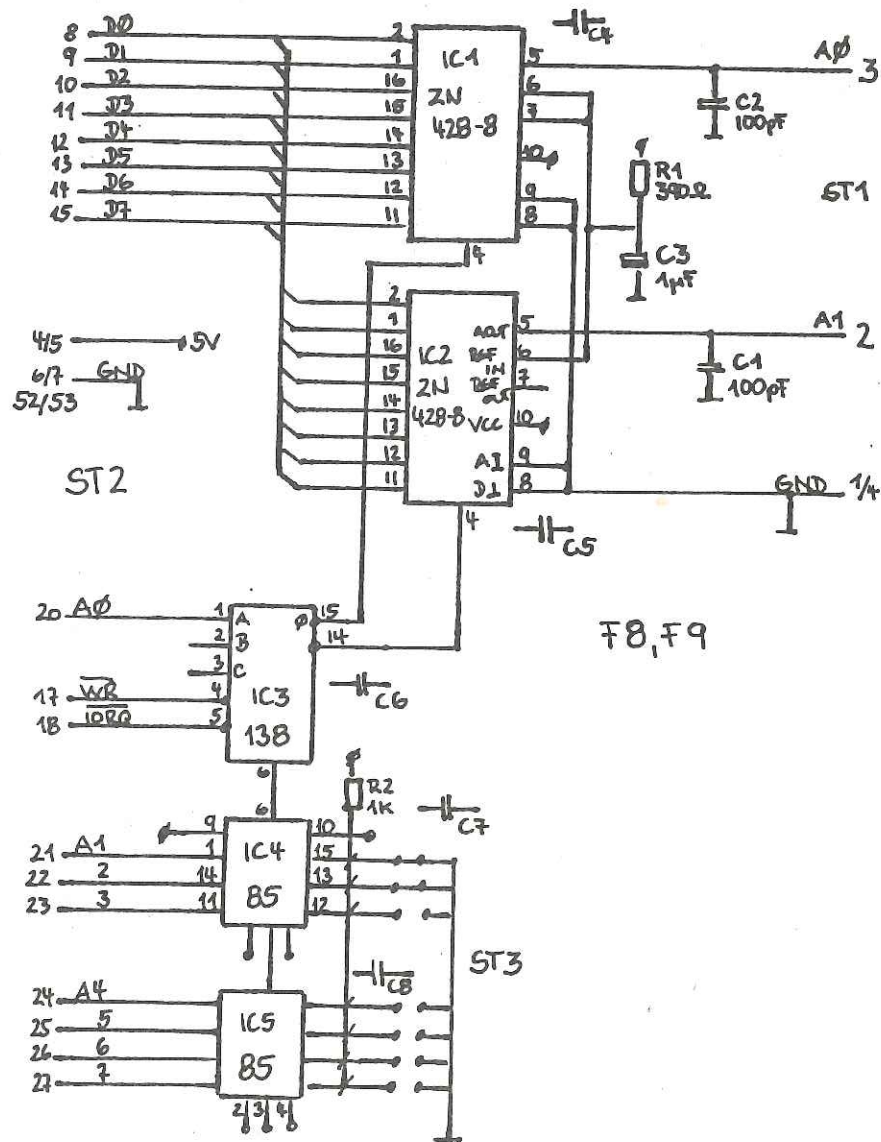
Die Adressierung der Karte kann über ST3 vorgenommen werden. Die Belegung des Steckfeldes ist wie folgt:

### Belegung von ST3

A7	A6	A5	A4	A3	A2	A1	Adressen
offen	offen	offen	offen	offen	offen	offen	FEh, FFh
offen	offen	offen	offen	offen	offen	geschl	FCh, FDh
offen	offen	offen	offen	offen	geschl	offen	FAh, FBh
offen	offen	offen	offen	offen	geschl	geschl	(* ) F8h, F9h
offen	offen	offen	offen	geschl	offen	offen	F6h, F7h
offen	offen	offen	offen	geschl	offen	geschl	F4h, F5h
offen	offen	offen	offen	geschl	geschl	offen	F2h, F3h
offen	offen	offen	offen	geschl	geschl	geschl	F0h, F1h
offen	offen	offen	geschl	offen	offen	offen	EEh, EFh
:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:
:	:	:	:	:	:	:	:
geschl	geschl	geschl	geschl	geschl	geschl	geschl	00h, 01h

(\* ) Diese Stellung ist vorgeätzt (muss also nicht mit Kurzschlusssteckern bestückt werden), da die Adressen F8h, F9h vom Grundprogramm MON68K genutzt wird. Wenn Sie diese Adressen nicht benutzen möchten, können Sie bitte die entsprechenden Leiterbahnen auf der Karte.

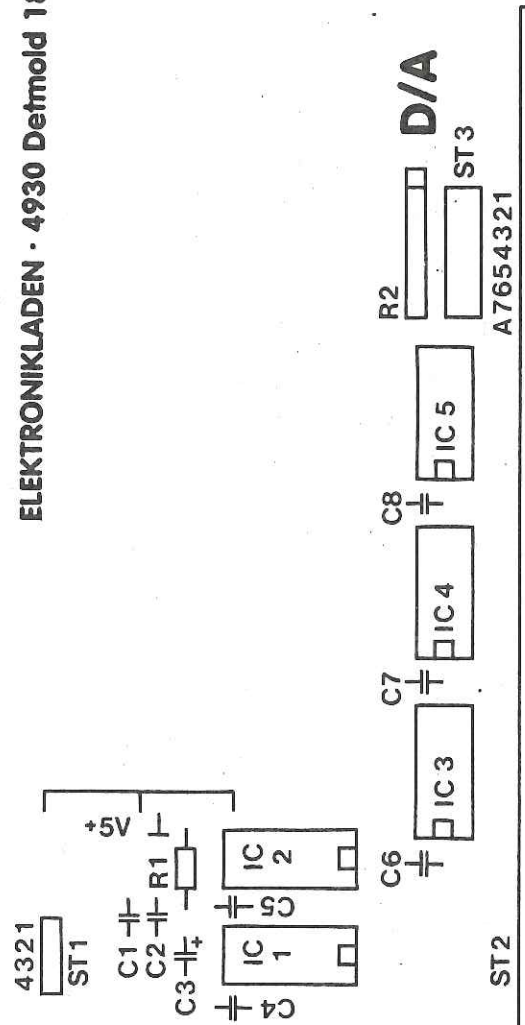
SCHALTUNG



STÜCKLISTE

Stück	Aufdruck	Beschreibung
1	IC 1, 2	Int. Schaltung ZN428E-8
1	IC 3	Int. Schaltung 74LS138
1	IC 4, 5	Int. Schaltung 74LS85
1	R 1	Widerstand 390 Ohm
1	R 2	Widerstands Array 7x1kOhm
2	C 1, 2	Keram. Kondensator 100 pF
1	C 3	Tantal Kondensator 1 uF
5	C 4, 5, 6, 7, 8	Keram. Kondensator 100 nF
1	ST 1	Stiftleiste 1x4pin
1	ST 2	Stiftleiste abgew. 54pin
1	ST 3	Stiftleiste 2x7pin
5	zu IC 1, 2, 3, 4, 5	IC-Fassung DIL 16
7		Jumper/Kurzschlussbrücken
1		Leiterplatte Versionsnummer 224-6431

ELEKTRONIKLADEN · 4930 Detmold 18



© 1984 RDK R1 'D/A' ELEKTRONIKLADEN

224-8431

BESTÜCKUNG

Beginnen Sie, wie bei allen Karten des MDR-Klein-Computers, auch hier die Bestückung mit der abgewinkelten 54poligen Steckleiste ST2. Achten Sie bitte darauf, daß alle Pins parallel zur Leiterkarte stehen, damit die Karte später gut in die Busbuchsen hineinpaßt. Nun bestücken Sie die Kondensatoren. Die keramischen Kondensatoren sind ungepolt, bei dem Tantalkondensator müssen Sie jedoch auf die Polung achten. Im Bestückungsdruck finden Sie einen Lötspunkt bei "C3" mit einem "+"-Zeichen gekennzeichnet. Auch auf dem tropfenförmigen Gehäuse des Tantalkondensator finden Sie eines der beiden Anschlußbeinchen mit einem "+" gekennzeichnet. Dieses Beinchen gehört in den "+"-Lötspunkt. Nun löten Sie bitte den Widerstand R1 und das Widerstandsnetzwerk (Array) R2 ein. Auch hier müssen Sie auf die richtige Polung achten. Im Bestückungsdruck für das Netzwerk (R2) finden Sie rechts einen Pin mit einem kleinen Quadrat markiert (neben der Aufschrift "D/A"). Hier hinein gehört der "gemeinsame Anschluß" des Netzwerkes, der auf dem Körper des Array mit einem Punkt gekennzeichnet ist. Nun bestücken Sie bitte ST1 und ST3 und danach die 5 Stück 16poligen IC-Fassungen. Im Bestückungsdruck finden Sie bei den Lagezeichnungen der integrierten Schaltungen ein kleines Viereck. Bei den Lagezeichen der ICs 3, 4, und 5 weist diese "Nase" nach links, bei den ICs 1 und 2 nach unten zur Busleiste ST2. Schon beim Einlöten der Fassungen sollten Sie darauf achten, daß Sie auch die Fassungen richtig herum einlöten. Auch die Fassungen tragen Markierungen (Dreiecke am Plastikträger), die in die gleiche Richtung weisen sollten. Dies alles soll verhindern, daß Sie später "aus Versehen" eine integrierte Schaltung verkehrt herum einsetzen (was ein IC in den allermeisten Fällen zerstört.) Sind die IC-Fassungen eingelötet, unterziehen Sie, da nun alle Lötarbeiten abgeschlossen sind, die Lötseite der Karte einer peinlichen Sichtkontrolle. Benutzen Sie für diese Suche nach "kalten Lötstellen" eine Lupe. "Kalte Lötstellen" glänzen oft nicht "richtig" sondern wirken matt. Löten Sie verdächtig erscheinende Lötstellen nach. Solche "kalten Lötstellen" entstehen, wenn das Lötzinn "nicht richtig" fließt, also zu kalt oder zu kurz gelötet wurde. Löten Sie aber nun nicht zu lang, sonst besteht die Gefahr, daß sich die Leiterbahnen der Karte von der Epoxyharz-Platte lösen. Dies ist oft dann nicht (oder nur durch das Aufbringen von Drähten) reparabel. Also seien Sie vorsichtig!

Nun stecken Sie die Karte in den Bus und schalten Sie die Spannung ein. Messen Sie nun an den Fassungen, ob an den entsprechenden "Pins" auch die richtigen Versorgungsspannungen anliegen. An folgenden "Pins" der Fassungen sollte eine Spannung von +5V liegen:

IC1 und 2	Pin 10
IC3	Pin 16
IC4 und 5	Pin 16

Wenn Sie die richtigen Spannungen messen konnten, ist der erste Test der Karte positiv verlaufen. Wenn nicht untersuchen Sie die entsprechenden Lötunkte und Leiterbahnen. Die +5V kommen von Pin4 und 5 des Busses.

Unter Betrieb mit dem 68008 ist folgendes kleines Testprogramm durchführbar:

```
da0 equ $ffffff8
dal equ $ffffff9
```

```
da:
  addq.b #1,d0
  move.b d0,da0
  move.b d0,dal
  bra.s da
```

Die beiden D/A-Wandler liefern jetzt eine treppenförmige Ausgangsspannung, die mit einem Oszilloskop dargestellt werden kann.

Weitere Testprogramme für den Betrieb mit dem Grundprogramm MON68K finden Sie im R.D. Kleins Handbuch des Grundprogrammes auf den Seiten 150/151.

#### HÄUFIGE FEHLER

Häufige, also typische, Fehler sind bei der D/A-Karte noch nicht aufgetreten, was bei den wenigen Bauteilen nicht verwunderlich ist. Kontrollieren Sie, wenn die Karte nicht läuft, die Lage des Widerstandsnetzwerkes.

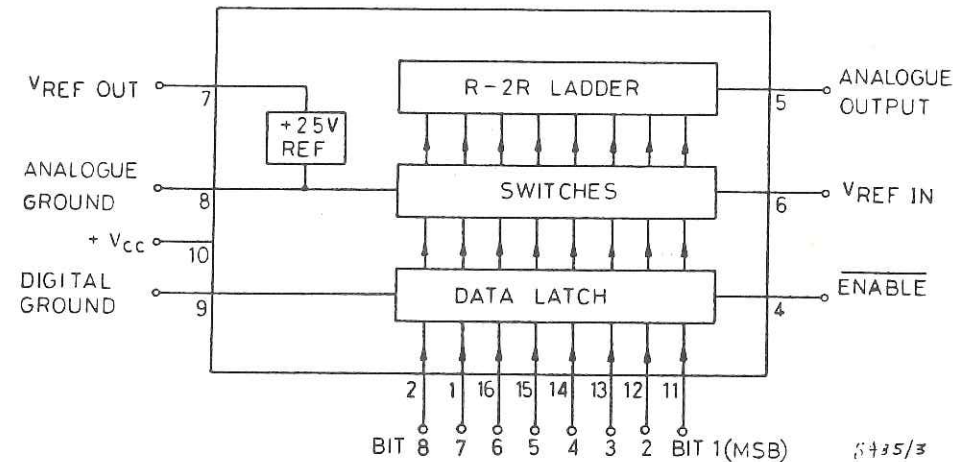
## 8 Bit Latched Input Monolithic D to A Converter

### FEATURES

- Contains DAC with data latch and on-chip reference.
- Guaranteed monotonic over the full operating temperature range
- Single +5V supply
- TTL and 5V CMOS compatible
- 800 ns settling time
- ZN428E-8 Commercial temperature range 0°C to +70°C
- ZN428J-8 Military temperature range -55°C to +125°C

### GENERAL DESCRIPTION

The ZN428 is a Monolithic 8 bit D to A converter with input latches to facilitate updating from a data bus. The latch is transparent when Enable is LOW and the data is held when Enable is taken HIGH. The ZN428 also contains a 2.5 volt reference the use of which is pin optional to retain flexibility. An external fixed or varying reference may therefore be substituted.



# ZN428E-8/J-8

## ABSOLUTE MAXIMUM RATINGS

Supply voltage $V_{CC}$	.. .. .	.. .. .	.. .. .	.. .. .	.. .. .	+7.0 volts
Max. voltage, logic and $V_{REF}$ input	.. .. .	.. .. .	.. .. .	.. .. .	.. .. .	+ $V_{CC}$
Operating temperature range	.. .. .	.. .. .	.. .. .	.. .. .	.. .. .	0°C to +70°C (ZN428E-8) -55°C to +125°C (ZN428J-8)
Storage temperature range	.. .. .	.. .. .	.. .. .	.. .. .	.. .. .	-55°C to +125°C
Analogue Ground to Digital Ground	.. .. .	.. .. .	.. .. .	.. .. .	.. .. .	±200 mV

## ELECTRICAL CHARACTERISTICS ( $V_{CC} = +5$ volts, $T_{amb} = 25^\circ\text{C}$ unless otherwise specified).

Parameter	Min.	Typ.	Max.	Units	Conditions
<b>Internal Voltage Reference</b>					
Output voltage	2.475	2.550	2.625	volts	} $R_{REF} = 390\Omega$ $C_{REF} = 1\mu\text{F}$
Slope resistance		0.5	2	$\Omega$	
$V_{REF\text{OUT}}$ T.C.		50		ppm/°C	
Reference current	4		15	mA	Note 1
<b>D to A Converter</b>					
Linearity error			±0.5	LSB	$2.0\text{V} \leq V_{REF\text{IN}} \leq 3.0\text{V}$
Differential non-linearity		±0.5		LSB	
Linearity error T.C.		±3		ppm/°C	
Differential non-linearity T.C.		±6		ppm/°C	
Offset voltage		2	5	mV	All bits OFF
Offset voltage T.C.		±6		$\mu\text{V}/^\circ\text{C}$	
Full scale output	2.545	2.550	2.555		} External reference $V_{REF\text{IN}} = 2.560$ volts, all bits ON
Full scale output T.C.		2		ppm/°C	
Analogue output resistance		4		k $\Omega$	
External reference voltage	0		3.0	volts	
Settling time to 0.5 LSB		800		ns	1 LSB Major Transition (Note 2) All bits ON to OFF or OFF to ON (Note 2)
		1.25		$\mu\text{s}$	
Operating temperature range:					
ZN428E-8	0		70	C	
ZN428J-8	-55		125	C	
Supply voltage ( $V_{CC}$ )	4.5	5.0	5.5	volts	

Note 1 See REFERENCE, page 4.  
Note 2  $R_L = 10\text{ M}\Omega$ ,  $C_L = 10\text{ pF}$ .

# ZN428E-8/J-8

## ELECTRICAL CHARACTERISTICS (continued)

	Min.	Typ.	Max.	Units	Conditions
Supply current		20	30	mA	Note 3
Power consumption		100		mW	
<b>Logic</b> (over specified operating temperature range)					
High level input voltage	2.0			V	
Low level input voltage			0.8	V	
High level input current			60	$\mu\text{A}$	$V_{IN} = 5.5\text{V}$ $V_{CC} = \text{Max.}$ $V_{IN} = 2.4\text{V}$ $V_{CC} = \text{Max.}$
Low level input current			20	$\mu\text{A}$	
Low level input current			-5	$\mu\text{A}$	$V_{IN} = 0.4\text{V}$ $V_{CC} = \text{Max.}$
Enable pulse width	100			ns	
Data set-up time	150			ns	Note 4
Data hold time	10			ns	Note 5

Note 3 All inputs HIGH ( $V_{IH} = 3.5$  volts).  
Note 4 Set up time before  $\overline{\text{Enable}}$  goes high.  
Note 5 Hold time after  $\overline{\text{Enable}}$  goes high.

## D to A CONVERTER

The converter is of the voltage switching type and uses an R-2R ladder network as shown in Fig. 2. Each 2R element is connected to 0V or  $V_{REF\text{IN}}$  by transistor voltage switches specially designed for low offset voltage (<1 millivolt). A binary weighted voltage is produced at the output of the R-2R ladder.

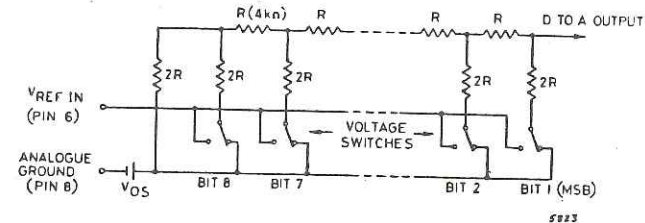


Fig. 2. The R-2R Ladder Network

# ZN428E-8/J-8

$$\text{Analogue Output} = \frac{n}{256} (V_{REF IN} - V_{OS}) + V_{OS}$$

where  $n$  is the digital input to the D to A from the data latch.

$V_{OS}$  is a small offset voltage produced by the D to A switch currents flowing through the package lead resistance. The value of  $V_{OS}$  is typically 1 mV. This offset will normally be removed by the setting up procedure (see APPLICATIONS section) and because the offset temperature coefficient is low ( $\pm 6 \mu\text{V}/^\circ\text{C}$ ) the effect on accuracy is negligible.

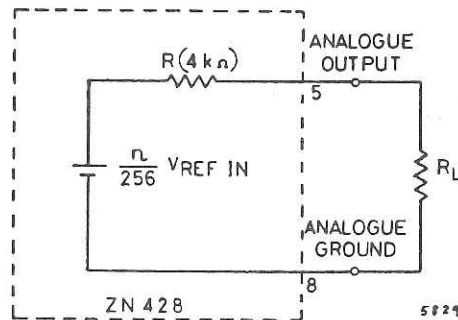


Fig. 3. Analogue Output Equivalent Circuit

Fig. 3 shows an equivalent circuit of the output (ignoring  $V_{OS}$ ). The output resistance  $R$  has a temperature coefficient of  $\pm 0.2\%$  per  $^\circ\text{C}$ .

The gain drift due to this is  $\frac{0.2R}{R+R_L} \%$  per  $^\circ\text{C}$

$R_L$  should be chosen to be as large as possible to make the gain drift small. As an example if  $R_L = 400 \text{ k}\Omega$  then the gain drift due to the T.C. of  $R$  for a  $100^\circ\text{C}$  change in ambient temperature will be less than 0.2%. Alternatively the ZN428 can be buffered by an amplifier (see APPLICATIONS section).

## REFERENCE

### (a) Internal Reference

The internal reference is an active band gap circuit which is equivalent to a 2.5 volt Zener diode with a very low slope impedance (Fig. 4). A resistor ( $R_{REF}$ ), should be connected between  $+V_{CC}$  (pin 10) and pin 7. The recommended value of  $390\Omega$  will supply a nominal reference current of  $(5.0-2.5)/0.39 = 6.4 \text{ mA}$ . A stabilising/decoupling capacitor,  $C_{REF} = 1 \mu\text{F}$  is required between pins 7 and 8 for internal reference operation,  $V_{REF OUT}$  (pin 7) being connected to  $V_{REF IN}$  (pin 6).

Up to five ZN428s may be driven from one internal reference (there is no need to reduce  $R_{REF}$ ). This useful feature saves power and gives excellent gain tracking between the converters.

### (b) External Reference

If required an external reference voltage may be connected to  $V_{REF IN}$ . The slope resistance of such a reference source should be less than  $\frac{2.5}{n} \Omega$ , where  $n$  is the number of converters supplied.

$V_{REF IN}$  can be varied from 0 to  $\pm 3$  volts for ratiometric operation. The ZN428 is guaranteed monotonic for  $V_{REF IN}$  above 2 volts.

# ZN428E-8/J-8

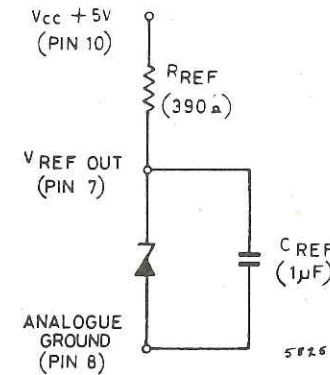


Fig. 4. Internal Voltage Reference

## LOGIC

Input coding is binary for unipolar operation and offset binary for bipolar operation. When the  $\overline{\text{Enable}}$  input is low the data inputs drive the D to A directly. When  $\overline{\text{Enable}}$  goes high the input data word is held in the data latch.

The equivalent circuit for the data and clock inputs is shown in Fig. 5.

The ZN428 is provided with separate analogue and digital ground connections. The circuit will operate correctly with as much as  $\pm 200 \text{ mV}$  between the two grounds.

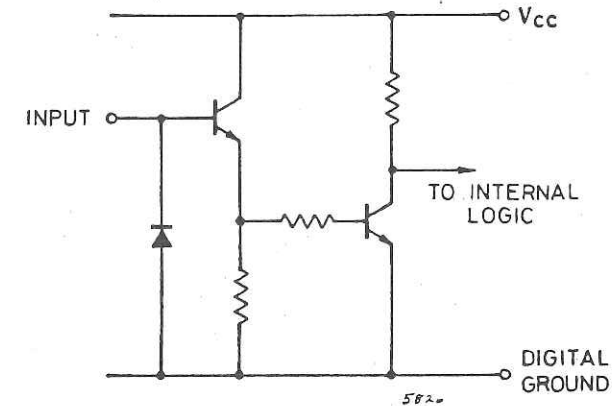


Fig. 5. Equivalent Circuit of All Inputs

# ZN428E-8/J-8

## APPLICATIONS

### (1) Unipolar D to A Converter

The nominal output range of the ZN428 is 0 to  $V_{REF IN}$  through a 4 kΩ resistance. Other output ranges can readily be obtained by using an external amplifier.

The general scheme (Fig. 6) is suitable for amplifiers with input bias currents less than 1.5 μA. The resulting full scale range is given by

$$V_{OUT FS} - \left(1 - \frac{R_1}{R_2}\right) V_{REF IN} = G \cdot V_{REF IN}$$

The impedance at the inverting input is  $R_1 // R_2$  and for low drift with temperature this parallel combination should be equal to the ladder resistance (4 kΩ). The required nominal values of  $R_1$  and  $R_2$  are given by  $R_1 = 4G \text{ k}\Omega$  and  $R_2 = 4G/(G-1) \text{ k}\Omega$ .

Using these relationships a table of nominal resistance values for  $R_1$  and  $R_2$  can be constructed for  $V_{REF IN} = 2.5 \text{ volts}$ .

Output Range	G	$R_1$	$R_2$
+5V	2	8kΩ	8kΩ
+10V	4	16kΩ	5.33kΩ

For gain setting  $R_1$  is adjusted about its nominal value. Practical circuit realisations (including amplifier stabilising components) for +5V and +10V output ranges are given in Fig. 7. Settling time for a major transition is 1.5 μs typical.

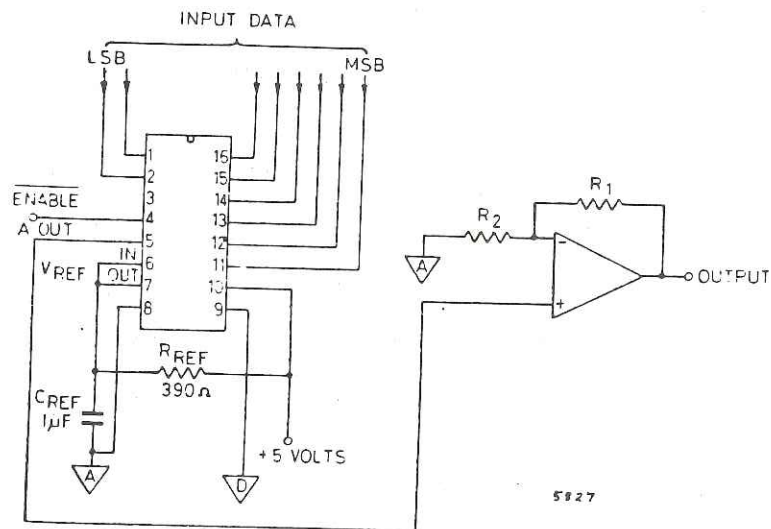


Fig. 6. Unipolar operation - Basic Circuit

# ZN428E-8/J-8

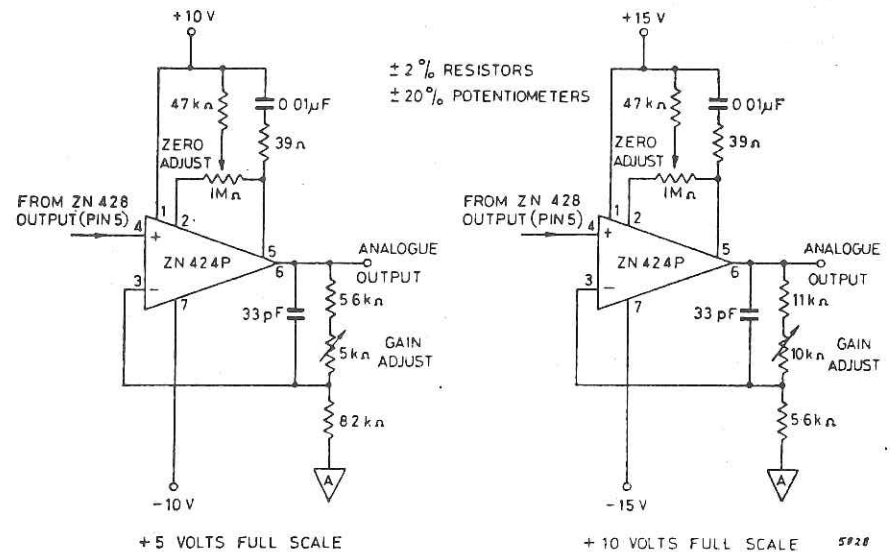


Fig. 7. Unipolar Operation - Component Values

### UNIPOLAR ADJUSTMENT PROCEDURE

- Set all bits to OFF (low) with Enable low and adjust zero until  $V_{OUT} = 0.0000V$ .
- Set all bits ON (high) and adjust gain until  $V_{OUT} = FS - 1 \text{ LSB}$ .

### UNIPOLAR SETTING UP POINTS

Output Range, + FS	LSB	FS - 1LSB
+5V	19.5 mV	4.9805V
+10V	39.1 mV	9.9609V

$$1 \text{ LSB} = \frac{FS}{256}$$

### UNIPOLAR LOGIC CODING

Input Code (Binary)	Analogue Output (Nominal value)
11111111	FS - 1LSB
11111110	FS - 2LSB
11000000	FS
10000001	FS + 1LSB
10000000	FS
01111111	FS - 1LSB
01000000	FS
00000001	1LSB
00000000	0



# ZN428E-8/J-8

## (2) Bipolar D to A Converter

For bipolar operation the output from the ZN428 is offset by half full scale by connecting a resistor  $R_3$  between  $V_{REF IN}$  and the inverting input of the buffer amplifier (Fig. 8).

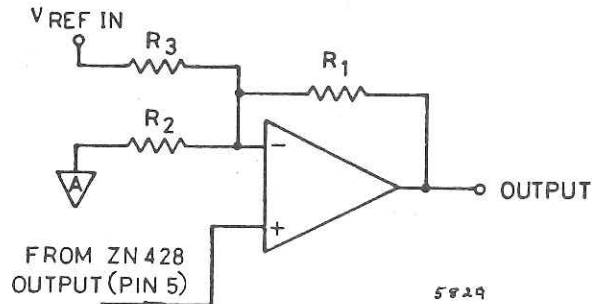


Fig. 8. Bipolar Operation - Basic Circuit

When the digital input to the ZN428 is zero the analogue output is zero and the amplifier output should be -Full scale. An input of all ones to the D to A will give a ZN428 output of  $V_{REF IN}$  and the amplifier output required is + Full scale. Also, to match the ladder resistance the parallel combination of  $R_1$ ,  $R_2$  and  $R_3$  should be  $4\text{ k}\Omega$ .

The nominal values of  $R_1$ ,  $R_2$  and  $R_3$  which meet these conditions are given by

$$R_1 = 8G\text{ k}\Omega, R_2 = 8G/(G-1)\text{ k}\Omega \text{ and } R_3 = 8\text{ k}\Omega$$

where the resultant output range is  $\pm G V_{REF IN}$ .

A bipolar output range of  $\pm V_{REF IN}$  (which corresponds to the basic unipolar range 0 to  $V_{REF IN}$ ) is obtained if  $R_1 = R_3 = 8\text{ k}\Omega$  and  $R_2 = \infty$ .

Assuming that  $V_{REF IN} = 2.5$  volts the nominal values of resistors for  $\pm 5\text{V}$  and  $\pm 10\text{V}$  output ranges are given in the following table:

Output Range	G	$R_1$	$R_2$	$R_3$
$\pm 5\text{V}$	2	16 k $\Omega$	16 k $\Omega$	8 k $\Omega$
$\pm 10\text{V}$	4	32 k $\Omega$	10.66 k $\Omega$	8 k $\Omega$

Minus full scale (offset) is set by adjusting  $R_1$  about its nominal value relative to  $R_3$ . Plus full scale (gain) is set by adjusting  $R_2$  relative to  $R_1$ .

Practical circuit realisations are given in Fig. 9. Note that in the  $\pm 5\text{V}$  case  $R_3$  has been chosen as  $7.5\text{ k}\Omega$  (instead of  $8.2\text{ k}\Omega$ ) to get a more symmetrical range of adjustment using standard potentiometers. Settling time for a major transition is  $1.5\text{ }\mu\text{s}$  typical.

# ZN428E-8/J-8

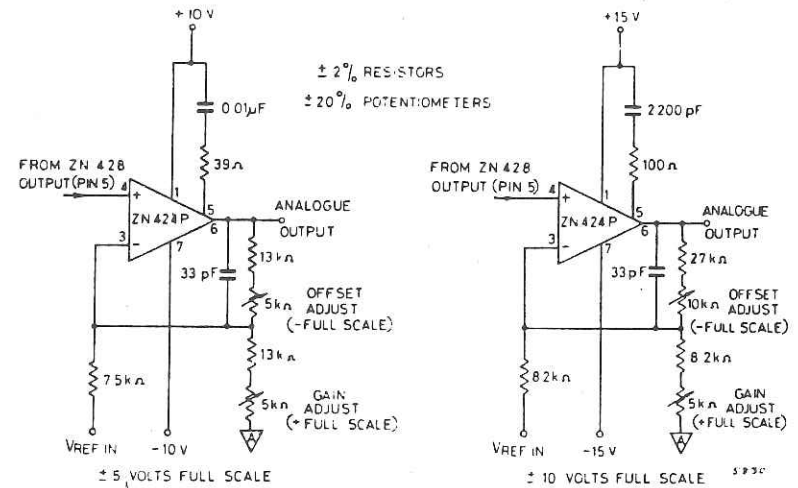


Fig. 9. Bipolar Operation - Component Values

### Bipolar Adjustment Procedure

- Set all bits to OFF (low) with Enable low and adjust offset until the amplifier output reads -Full Scale.
- Set all bits ON (high) and adjust gain until the amplifier output reads + (Full Scale - 1LSB).

### BIPOLAR SETTING UP POINTS

Input Range, $\pm$ FS	LSB	-FS	+ (FS-1LSB)
$\pm 5\text{V}$	39.1 mV	-5.0000V	+4.9609V
$\pm 10\text{V}$	78.1 mV	-10.0000V	+9.9219V

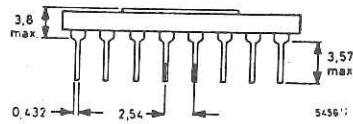
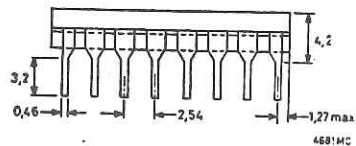
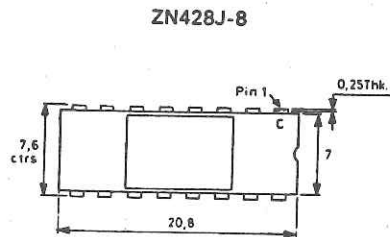
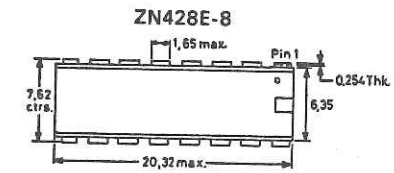
$$1\text{LSB} = \frac{2\text{FS}}{256}$$

### BIPOLAR LOGIC CODING

Input Code (Offset Binary)	Analogue Output (Nominal Value)
11111111	+ (FS - 1LSB)
11111110	+ (FS - 2LSB)
11000000	+ $\frac{1}{2}$ FS
10000001	+ 1LSB
10000000	0
01111111	-1LSB
01000000	- $\frac{1}{2}$ FS
00000001	- (FS - 1LSB)
00000000	-FS

# ZN428E-8/J-8

## PACKAGE DETAILS

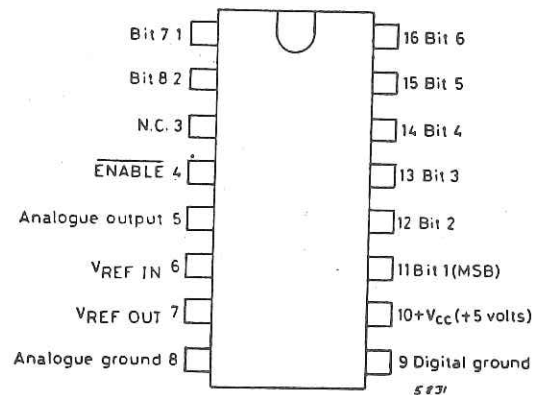


16-Lead Moulded D.I.L.

16-Lead Ceramic D.I.L.

Dimensions in millimetres

## PIN CONNECTIONS



5 231

# ZN428E-8/J-8

© FERRANTI LTD. 1978

The copyright in this work is vested in Ferranti Limited and this document is issued for the purpose only for which it is supplied. No licence is implied for the use of any patented feature. It must not be reproduced in whole or in part, or used for tendering or manufacturing purposes except under an agreement or with the consent in writing of Ferranti Ltd. and then only on the condition that this notice is included in any such reproduction. Information furnished is believed to be accurate but no liability in respect of any use of it is accepted by Ferranti Ltd.

FERRANTI ELECTRONICS LIMITED  
FIELDS NEW ROAD, CHADDERTON, OLDHAM OL9 8NP Tel: 061-624 0515 Telex: 668038

Ferranti GmbH, Widenmayerstrasse 5, 8-Munich-22, West Germany  
Tel: 089-293871 Telex: 523980

Ferranti Electric Inc., 87 Modular Avenue, Commack, N.Y. 11725, U.S.A.  
Tel: 516-543 0200 Telex: 510 224 6483

Interdesign Inc. (a Ferranti company), 1255 Reamwood Avenue, Sunnyvale, California 94086, U.S.A.  
Tel: 408-734 8666 Telex: 910 339 9374

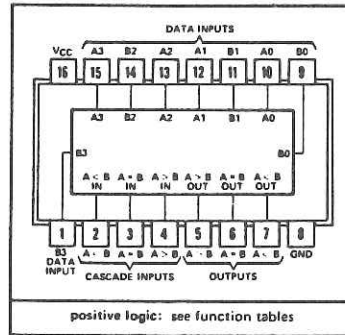
Issue 1, November 1978 2M(4M)

Printed in England HK&R

**TYPES SN5485, SN54LS85, SN54S85,  
SN7485, SN74LS85, SN74S85  
4-BIT MAGNITUDE COMPARATORS**

BULLETIN NO. DL-S 7611810, MARCH 1974—REVISED OCTOBER 1976

SN5485, SN54LS85, SN54S85 . . . J OR W PACKAGE  
SN7485, SN74LS85, SN74S85 . . . J OR N PACKAGE  
(TOP VIEW)



TYPE	TYPICAL POWER DISSIPATION	TYPICAL DELAY (4-BIT WORDS)
'85	275 mW	23 ns
'LS85	52 mW	24 ns
'S85	365 mW	11 ns

**description**

These four-bit magnitude comparators perform comparison of straight binary and straight BCD (8-4-2-1) codes. Three fully decoded decisions about two 4-bit words (A, B) are made and are externally available at three outputs. These devices are fully expandable to any number of bits without external gates. Words of greater length may be compared by connecting comparators in cascade. The A > B, A < B, and A = B outputs of a stage handling less-significant bits are connected to the corresponding A > B, A < B, and A = B inputs of the next stage handling more-significant bits. The stage handling the least-significant bits must have a high-level voltage applied to the A = B input. The cascading paths of the '85, 'LS85, and 'S85 are implemented with only a two-gate-level delay to reduce overall comparison times for long word. An alternate method of cascading which further reduces the comparison time is shown in the typical application data.

FUNCTION TABLES

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

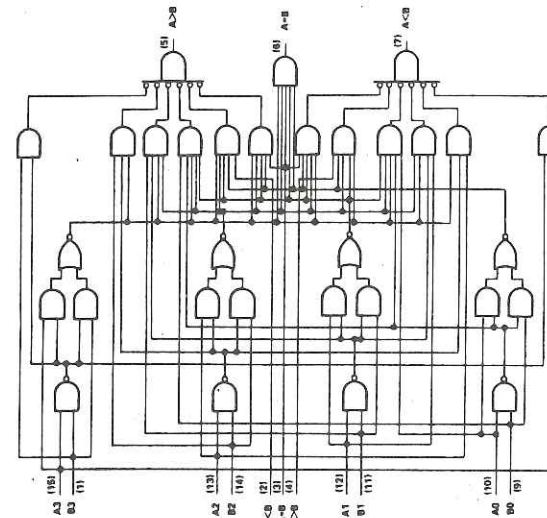
'85, 'LS85, 'S85

A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

**TYPES SN5485, SN54LS85, SN54S85,  
SN7485, SN74LS85, SN74S85  
4-BIT MAGNITUDE COMPARATORS**

**functional block diagrams**

'85, 'LS85, 'S85



TTL  
MSI

**TYPES SN54LS138, SN54LS139A, SN54S138, SN54S139,  
SN74LS138, SN74LS139A, SN74S138, SN74S139  
DECODERS /MULTIPLEXERS**

- Designed Specifically for High-Speed: Memory Decoders Data Transmission Systems
- 'S138 and 'LS138 3-to-8-Line Decoders Incorporate 3 Enable Inputs to Simplify Cascading and/or Data Reception
- 'S139 and 'LS139A Contain Two Fully Independent 2-to-4-Line Decoders/ Demultiplexers
- Schottky Clamped for High Performance

TYPE	TYPICAL PROPAGATION DELAY (3 LEVELS OF LOGIC)	TYPICAL POWER DISSIPATION
'LS138	22 ns	32 mW
'S138	8 ns	245 mW
'LS139A	22 ns	34 mW
'S139	7.5 ns	300 mW

description

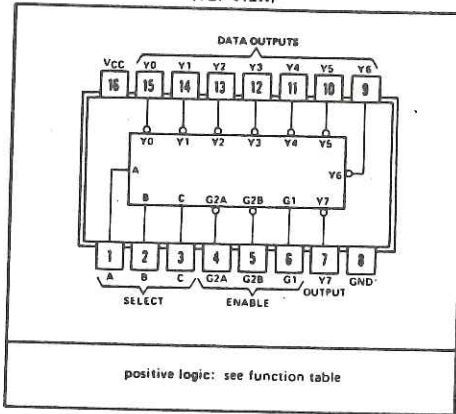
These Schottky-clamped TTL MSI circuits are designed to be used in high-performance memory-decoding or data-routing applications requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When employed with high-speed memories utilizing a fast-enable circuit the delay times of these decoders and the enable time of the memory are usually less than the typical access time of the memory. This means that the effective system delay introduced by the Schottky-clamped system decoder is negligible.

The 'LS138 and 'S138 decode one-of-eight lines dependent on the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented without external inverters and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The 'LS139A and 'S139 comprise two individual two-line-to-four-line-decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

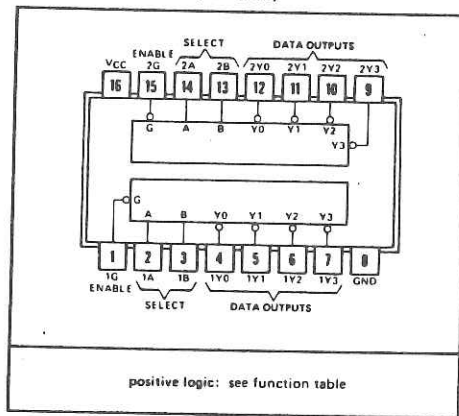
All of these decoders/demultiplexers feature fully buffered inputs each of which represents only one normalized Series 54LS/74SL load ('LS138, 'LS139A) or one normalized Series 54S/74S load ('S138, 'S139) to its driving circuit. All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design. Series 54LS and 54S devices are characterized for operation over the full military temperature range of -55°C to 125°C; Series 74LS and 74S devices are characterized for 0°C to 70°C industrial systems.

SN54LS138, SN54S138 ... J OR W PACKAGE  
SN74LS138, SN74S138 ... J OR N PACKAGE  
(TOP VIEW)



positive logic: see function table

SN54LS139A, SN54S139 ... J OR W PACKAGE  
SN74LS139A, SN74S139 ... J OR N PACKAGE  
(TOP VIEW)

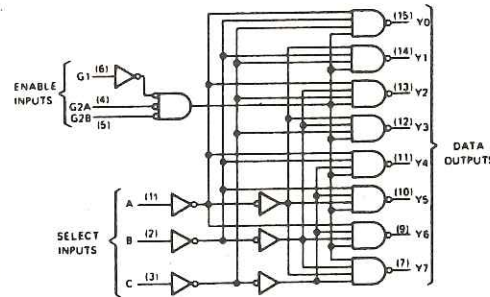


positive logic: see function table

**TYPES SN54LS138, SN54S138, SN54LS139A, SN54S139,  
SN74LS138, SN74S138, SN74LS139A, SN74S139  
DECODERS/DEMULPLEXERS**

functional block diagrams and logic

'LS138, 'S138

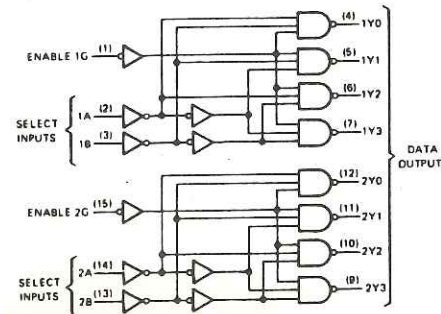


'LS138, 'S138  
FUNCTION TABLE

INPUTS		OUTPUTS										
ENABLE	SELECT											
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

\*G2 = G2A + G2B  
H = high level, L = low level, X = irrelevant

'LS139A, 'S139



'LS139A, 'S139  
(EACH DECODER/DEMULPLEXER)  
FUNCTION TABLE

INPUTS		OUTPUTS				
ENABLE	SELECT					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	L	L

H = high level, L = low level, X = irrelevant

schematics of inputs and outputs

