

## Takterzeugung

Original SER: 2x 56 pF gegen Ground, 10 M Parallelwiderstand

SY6551: Quarz mit Serienwiderstand max 400 Ohm max 7 pF Kapazität, keine externen Komponenten

R6551: Quarz mit Serienwiderstand max 400 Ohm, keine externen Komponenten

UM6551: Quarz mit Serienwiderstand max 400 Ohm max 7 pF Kapazität, keine externen Komponenten

W65C51: Quarz mit Serienwiderstand max 400 Ohm max 7 pF Kapazität, 1 M Parallelwiderstand, 30 pF an Pin 6

R65C51: Keine Angabe

Wie man sieht, passt die Originalschaltung eigentlich für keinen Chip.

Vermutlich erleichterte sie den Betrieb mit SY6551, weil der Oszillator im 6551 gelegentlich Probleme bereitet.

Die heute üblichen Quarze im HC-49 Gehäuse haben typischerweise etwa 700 Ohm Serienwiderstand. Im Layout und Bestückungsaufdruck der SER ist eindeutig ein Quarz im dicken HC-6 Gehäuse vorgesehen, und der hätte den passenden Serienwiderstand. Nun sind diese Riesendinger schon lange nicht mehr üblich.

Die Zuleitung soll stets so kurz wie möglich sein, ein Quarz soll ein Groundloop um die Leitungen haben und der Ground soll nicht in einem stromführenden Ast liegen. Nichts davon wird vom Layout erfüllt.

Da alle Versionen des 6551 einen externen Takt benutzen können, ist es ratsam, einen Quarzoszillator zu verwenden, auch wenn sie in 1,8432 MHz nicht einfach zu bekommen sind.

## RS232 Schnittstelle der SER

Anders als viele andere UARTs seiner Zeit hat der 6551 flow control in Hardware implementiert. Diese Funktion ist nicht abschaltbar! Falls sie nicht gebraucht wird, muss CTS mit RTS verbunden werden oder, falls es nicht getrieben wird, am 6551 auf Masse gelegt werden. Falls CTS offen bleibt, kommt es zu Fehlfunktionen des 6551, die verfälschte Daten senden.

## Businterface der SER

### Unterschiede zwischen Z80 und 6502 Bus

Sowohl Z80 als auch 6502 legen bei einem Schreibzugriff erst Daten und Adresse auf den Bus.

Der Z80 führt den Transfer danach mit gleichzeitigem /IORQ und /WR durch.

Der 6502 legt zusätzlich zu Daten und Adresse noch R/W für die Richtung auf den Bus und führt den Transfer mit Phi2 durch. Phi2 ist zwar ein Takt, weil der 6502 ein festes Bustiming hat, und z.B. ein 6522 kann Phi2 auch als Takt benutzen, aber für die meisten Bausteine ist es nur ein Steuersignal.

### Anforderungen an Phi2 beim 6551

Der Transfer beginnt mit der steigenden Flanke frühestens  $t_{WCW} = 70$  ns (2 MHz Version des 6551) nach Gültigkeit von R/W. Zu diesem Zeitpunkt müssen noch keine Daten auf dem Bus liegen. Weiterhin müssen die Adressen bereits  $t_{ACW} = 70$  ns gültig sein. Phi2 darf also erst 70 ns nach /WR erzeugt werden. Zu dem Zeitpunkt sind die Adressen schon länger stabil.

Die Daten werden mit der fallenden Flanke übernommen und müssen zu dem Zeitpunkt bereits  $t_{DCW} = 60$  ns stabil sein und noch  $t_{HW} = 20$  ns stabil bleiben. Weiterhin muss R/W noch  $t_{CWH} = 0$  ns stabil bleiben. Phi2 muss also vor /WR enden und die Daten müssen danach noch stabil gehalten werden.

Phi2 muss wenigstens 200 ns aktiv sein.

### Generierung von Phi2 bei der SER

RDK benutzt ein Flipflop, was mit der steigenden Flanke des Systemtakts getaktet wird und ein aktives /IORQ übernimmt. Wenn /IORQ inaktiv wird, wird das Flipflop sofort gelöscht. Das führt zu einem Signal, welches wie gefordert später als /WR beginnt. Leider endet es durch das Propagation Delay des Flipflops erst nach /WR (typ. 25 ns, max. 40 ns), statt vorher.

Es sieht also so aus, als ob die Transferrichtung kurz vor Ende des Transfers umgeschaltet wird!

Weiterhin erzeugt /RFSH unregelmässige Phi2 Impulse. Der 6551 braucht sie nicht und bei einem 6522 kann man aufgrund der unbestimmten Frequenz nichts damit anfangen. Ein 68k erzeugt kein /RFSH, aber da es nicht gebraucht wird, läuft die SER auch dort.

Wartezyklen beim Betrieb mit 68k CPU

Bei 8 MHz dauert ein #WR etwa 180 ns. Jeder Wartezyklus verlängert die Signale um einen Takt, d.h. 125 ns. Mit einem Wartezyklus dauert #WR also 305 ns.

Der 6551 braucht in der 2 MHz Version etwa 270 ns, d.h. die SER wird in dem Fall 1 Wartezyklus brauchen.

Reset der SER

Der 6551 braucht einen Phi2 Impuls während des Resets, der nicht erzeugt wird. Ein Software Reset ist nicht identisch mit dem nie stattfindenden Hardware Reset. Der fehlende Reset hat sich bisher nicht als problematisch ausgewirkt.

Michael Haardt