

GRAF[®] **computer**

ROA256/1M

Die universelle Speicherkarte

für statische RAMs 32k*8 und 128k*8
und EPROMs 32k*8 und 128k*8

für den NDR- und mc-Computer

Graf Elektronik Systeme GmbH
8960 Kempten · Tel.: 08 31-62 11

Inhalt

Seite

1	Einführung	
1.1	Zum NDR-Computer	3
1.2	Wozu dient die ROA256k	4
1.3	Wie setzt man die ROA256k ein?	5
2	Technische Daten	5
3	Prinzipbeschreibung	6
3.1	Blockschaltbild ROA256	6
3.2	Beschreibung des Blockschaltbildes und Schaltungsprinzip	7
4	Aufbauanleitung	9
4.1	CMOS-Warnung	9
4.2	Stückliste	9
4.3	Aufbau Schritt für Schritt	12
5	Testanleitung	15
5.1	Erste Prüfung ohne ICs	15
5.2	Einstellung der JMP	15
5.3	Test des Batteriepufferungsblockes	20
6	Fehlersuchanleitung	22
6.1	Mögliche Fehler und ihre Behebung	22
7	Schaltungsbeschreibung	24
7.1	Pufferung des Daten-, Adress- und Datenbusses	24
7.2	WAIT-Logik	24
7.3	Board-Select	24
7.4	Adressdecodierung	25
7.5	Ausblendlogik	25
7.6	Batterie-Pufferung der RAMs	26
7.7	RESET-Logik	26
7.8	Speicher	27
7.9	Timing Diagramme	27
8.	Anwendungsbeispiele	29
8.1	Einsatz als Arbeitsspeicher	29
8.2	Einsatz als RAM-Floppy	29
8.3	Zusatzschaltungen zur Batteriepufferung	29
9.	Diverses	32
9.1	Ausblick	32
9.2	Kritik	32
10.	Unterlagen zu den verwendeten ICs	33
10.1	TTL ICs	33
10.2	Spannungswächter TL 7705	40
10.3	Speicher	43
11.	Literatur	47
10.1	Die Zeitschrift LOOP	47
Anhang A:	Schaltplan	48
Anhang B:	Bestückungsplan	50
Anhang C:	Layout Bestückungsseite mit Bestückungsdruck	51
Anhang D:	Layout Bestückungsseite	52
Anhang E:	Layout Lötseite	53

1. Einführung

1.1 Zum NDR-Computer

Der NDR-Computer wird in der Fernsehserie "Computer Modular - Schritt für Schritt" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird vom Norddeutschen Rundfunk und vom Bayerischen Fernsehen ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen.

Zur Serie gibt es einige Begleitmaterialien, es ist daher nicht unbedingt notwendig, die Fernsehserie gesehen zu haben, um den NDR-Computer zu bauen und zu begreifen:

- Bücher:

Rolf-Dieter Klein,
"Rechner modular"
Der NDR-Klein-Computer -
selbstgebaut und programmiert
ISBN 3-7723-8721-7, DM 68,-
erschienen im Franzis-Verlag, München
Auf diesem Buch baut die NDR-Serie auf

Rolf-Dieter Klein,
"Die Prozessoren 68000 und 68008"
Rechnerarchitektur und Sprache im NDR-KLEIN-Computer
ISBN 3-7723-7651-7, DM 78.-
erschienen im Franzis-Verlag, München

- Zeitschriften "mc" und "ELO" des Franzis-Verlages

- Zeitschrift "LOOP" der Firma Graf (siehe Kapitel 11.1)

- Videocassetten:

lizenzierte Originalcassetten für den privaten
Gebrauch. Auf diesen zwei Cassetten sind die 26
Folgen der Fernsehserie enthalten.
Systeme: VHS, Beta, Video 2000
Preise: siehe gültige Preisliste

1.2 Wozu dient die ROA256?

Die ROA256 ist eine universell einsetzbare Speicherbaugruppe für den NDR-Computer und den mc-Computer (NDR- oder ECB-Bus). Die Baugruppe verfügt über acht Speichersteckplätze und ermöglicht den gemischten Betrieb von EPROMs und statischen RAMs in den Speichergrößen 32k*8 oder 128k*8. Weiter hat die ROA256 eine WAIT-Logik, Ausblendlogik und eine intelligente Batteriepufferung der RAMs integriert. Der Daten-, Adress-, und Steuerbus ist gepuffert.

Die Kombination von EPROMs und RAMs ist frei wählbar, da jeder Steckplatz individuell mit Jumpern abgestimmt werden kann. Mit ihnen ist es möglich, die Pins der jeweiligen Speicherbausteine einander anzupassen. Außerdem steht für jeden Speicherbaustein ein Jumper zur Verfügung, mit dem jeder Speicherbaustein einzeln oder auch mehrere zusammen ausgeblendet werden können. Im Gegensatz zu dieser individuellen Anpassung eines Speicherplatzes können auch globale Anpassungen mit Jumpern durchgeführt werden.

Hierzu gehört erst einmal die generelle Entscheidung, mit welcher Gesamtkapazität die ROA256 arbeiten soll. Mit der Hilfe von 3 Jumpern wird die Baugruppe auf eine vorläufige Gesamtspeicherkapazität von 256KByte bzw. 1MByte eingestellt (Verwendung von 32k x 8 bzw. 128k x 8 Speicherbausteinen). Bei einer Gesamtkapazität von 256KByte ergibt sich die Möglichkeit, daß man zwischen vier verschiedenen Basisadressen eine Auswahl treffen kann, da ein maximaler Adressierbereich von 1MByte zur Verfügung steht.

Um eine optimale Arbeitsgeschwindigkeit zu erreichen, muß die Zugriffszeit der Speicherbausteine der verwendeten Prozessorfrequenz angepasst werden. Dieses Ziel wird dadurch erreicht, daß durch sog. "waitstates" auch der langsamste Speicherbaustein noch mit dem Prozessor einwandfrei arbeiten kann. Die Anzahl der "waitstates" kann mittels Jumper zwischen 0 (kein waitstate) und 8 variiert werden.

Ein besonderer Leckerbissen auf der ROA256/1M ist die Batteriepufferung. Vor allem bei Betrieb der Speicherkarte als RAMFLOPPY schätzt man, wenn nach Spannungsabfall kein Byte verlorengelassen und man nach dem Einschalten nicht erst wieder sämtliche Dateien auf die RAMFLOPPY kopieren muß. Die Schaltung selbst besitzt einen eigenen Spannungswächter. Dieser überführt die statischen RAMs automatisch in den "standby mode", wenn die Spannungsversorgung abgeschaltet wird oder ausfällt (kleiner 4,75 V wird).

Die Baugruppe ist durch die Batteriepufferung und durch die flexible Bestückung mit verschiedenen Speicherbausteinen universell einsetzbar. Da auch stat. RAMs 128k*8 und EPROMs 128k*8 einsetzbar sind, ist diese Baugruppe auch für die Zukunft gerüstet.

1.3 Wie setzt man die ROA256k ein?

Die Schaltung der ROA256k wurde sehr einfach gehalten. Es wurde bei ihrer Entwicklung Wert darauf gelegt, daß sie mit allen Prozessortypen, die für den NDR- und mc- Computer existieren, arbeiten kann.

Durch die Verwendung von statischen RAMs ergeben sich neue Möglichkeiten, da die hohe Speichergeschwindigkeit es ermöglicht die ROA256k als gepufferte RAMdisk einzusetzen.

Dieser Vorteil wird durch den Gebrauch einer eigenen "waitstate logik" verstärkt, da es dem System somit ermöglicht wird mit voller Prozessorgeschwindigkeit zu arbeiten.

Bei kleinen Systemen hat die ROA256k den Vorteil, daß auf das ständige Abspeichern von Programmen auf Kassette verzichtet werden kann.

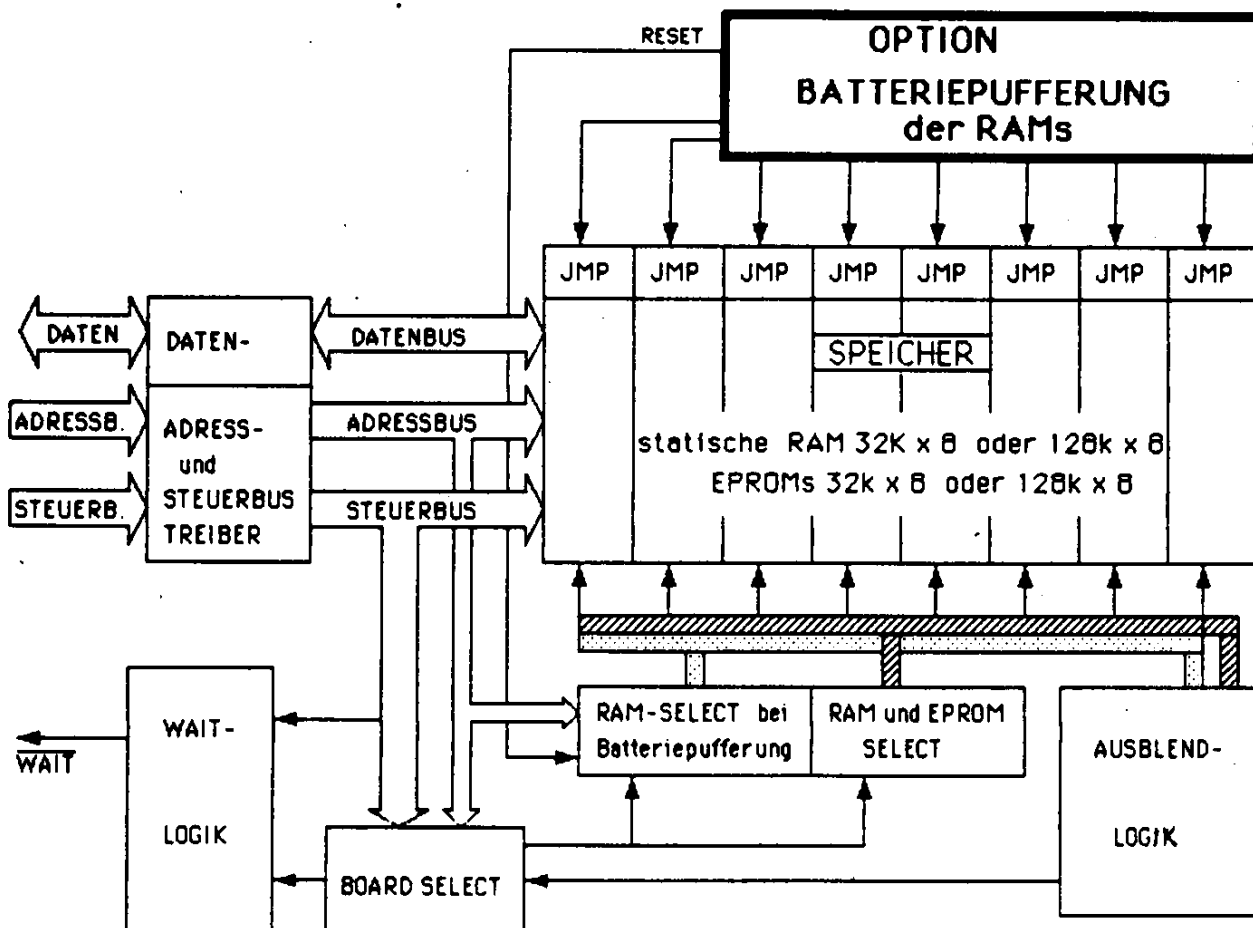
2. Technische Daten

Spannung:	+5V
Stromaufnahme:	abhängig von den gesteckten Speicher max. 500 mA, typ.: 200 - 300 mA
Leiterplattengröße:	Europakarte 100x160 mm
Bussysteme:	NDR-Bus 54 polig oder ECB-Bus
Einsetzbare Speicher:	EPROM: 32k x 8 (27256) 128k x 8 (27101) RAM: 32k x 8 LP (LOW-Power) 128k x 8 LP (LOW-Power)
Batterie:	Nennspannung 3,6V Lebensdauer 4-5 Jahre
Einstellbare WAIT-STATES:	0 (kein WAIT-STATE) bis 8
Ausblendlogik:	Jeder Speicherbaustein kann ausgeblendet werden
Daten-, Adress-, und Steuerbus voll gepuffert	

3. Prinzipbeschreibung

Vereinbarung: Die in den Abbildungen verwendeten Signalbezeichnungen werden wie üblich mit einem Querstrich über der Bezeichnung gekennzeichnet. Dieser Querstrich bedeutet, daß das Signal "Low"-aktiv ist, also eine Funktion erfüllt, wenn die Leitung Null-Pegel hat. Im Text ist die Darstellung mit Querstrich über dem Signalnamen leider nicht möglich; die "Low"-aktivität wird mit einem vorangestellten "-" kenntlich gemacht, also z. B. -RD und -WR.

3.1 Blockschaftbild ROA256



3.2 Beschreibung des Blockschaltbildes und Schaltungsprinzips

Der eigentlich Sinn und Kern der Schaltung sind die Speicher. Hier können statischen RAM und EPROMs mit einem internen Speicheraufbau von 32k x 8 und 128k x 8 verwendet werden. Speicher mit diesem Aufbau stellen pro Adresse ein Byte zur Verfügung, was die Schaltung doch sehr vereinfacht. Jeder Speicherplatz ist entweder mit einem EPROM oder mit einem stat. RAM bestückbar. Allerdings ist keine gemischte Bestückung von Speichern verschiedener Größen möglich, also entweder nur stat. RAMs und EPROMs 32k x 8, oder stat. RAMs und EPROMs 128k x 8.

Zusätzlich wird auf der ROA256/1M eine Schaltung zur Pufferung von stat. RAMs zur Verfügung gestellt. Die zusätzlichen Bauelemente und die Lithium-Batterie für die Batteriepufferung sind in der Standardversion der Baugruppe nicht enthalten. Diese Teile sind als Option erhältlich. Die Batteriepufferung besteht aus einer Abschaltelogik und der Lithium-Batterie. Die Abschaltelogik hat die Aufgabe, die statischen RAMs in den "Stand by Mode" zu überführen, sobald die Versorgungsspannung der Baugruppe unter 4,75 V absinkt. Der Kern dieser Schaltung ist ein intelligenter Spannungswächter von TI. Die Umschaltung in den "Stand by mode" wird mit Hilfe des Blockes RAM-Select bei Batteriepufferung durchgeführt. Dabei wird diesem Block bei Abfall der Versorgungsspannung unter 4,75 V die Versorgungsspannung abgeschaltet (auch Masse wird getrennt). Dadurch hängen die Ausgänge des Blockes, die die Speicher aktivieren, in der Luft und werden durch die Pull-up-Widerstände, die mit der Batterie verbunden sind, auf HIGH gezogen. Dies führt die stat. RAMs in den Stand-by-mode.

Wird die Batteriepufferung nicht verwendet, wird der RAM und ROM-Select von der gleichnamigen Logik durchgeführt. Diese Logik wählt je nach Adresse einen der Speicherbausteine aus. Abhängig von der Größe der verwendeten Speicher ist diese Logik durch Jumper (Brücken) einstellbar.

Werden Speicher von der Größe 128k x 8 verwendet, wird der gesamte auf dem NDR-Computer adressierbare Speicher auf der ROA256/1M angesprochen (Board-Select). Dies ist vor allem dann ärgerlich, wenn man noch eine oder mehrere alte ROAs hat, die man weiter verwenden will. Aus diesem Grund wurde eine Ausblendlogik vorgesehen, mit der jeder Speicherbaustein der Baugruppe ausgeblendet werden kann. Dadurch wird für diesen Baustein der Board-Select unterbunden und es kann auf eine andere Speicherkarte (ROA64k) zugegriffen werden.

Die Board-Select-Logik stellt fest, wie der Name schon sagt, ob auf die Baugruppe angesprochen wird. Diese Logik ist natürlich davon abhängig, welche Größe von Speichern verwendet wird. Werden 32k x 8 stat. RAMs oder EPROMs verwendet, gibt es die Möglichkeit, zwischen vier Basisadressen (je vier Bänke) zu wählen. Bei Verwendung von 128k x 8 Speichern wird die ganze Baugruppe bei einem Speicherzugriff ausgewählt.

Die WAIT-Logik dient dazu, den Prozessor bei einem Speicherzugriff zu bremsen, wenn die Zugriffszeit der Speicher für den Prozessor zu langsam ist. Über Jumper können 8 verschiedene WAIT-Zyklen eingestellt werden. Dabei errechnet sich die Dauer des WAIT-Signals aus der Anzahl der eingestellten WAIT-Zyklen mal der Periodendauer des CPU-Taktes. Dadurch kann die

Geschwindigkeit des Prozessors (CPU) ideal an die Speicherzugriffszeit angepasst werden.

Der Daten-, Adress- und Steuerbus ist natürlich durch Treiber physikalisch vom Bus getrennt. Die Treiber haben die Aufgabe, die Signale zu verstärken, um somit den Bus nicht zusätzlich zu belasten. Der Datenbustreiber ist bidirektional, da die Daten sowohl auf die Baugruppe geschrieben als auch von der Baugruppe gelesen werden.

Die Baugruppe ROA256/1M wurde nach GES-Norm entwickelt und stellt demnach außer dem NDR-Bus auch den ECB-Bus zur Verfügung. Leider existiert im Programm des mc-CP/M Computers im Moment noch keine Baugruppe für den mc-Computer, die eine "Page-Logik" zur Verfügung stellt, welche zum Betrieb mit der ROA256 benötigt wird. Natürlich kann die Baugruppe bei allen ECB-Systemen, die der Anschlußbelegung entsprechen, eingesetzt werden.

4. Aufbauanleitung

4.1 CMOS-Warnung

CMOS-Bausteine sind hochempfindlich gegen elektrostatische Aufladung! Bewahren oder Transportieren Sie CMOS-Bausteine nur auf dem leitenden Schaumstoff! Alle pins müssen kurzgeschlossen sein.

Tip: Fassen Sie an ein geerdetes Teil (z. B. Heizung, Wasserleitung) bevor Sie einen Baustein berühren.

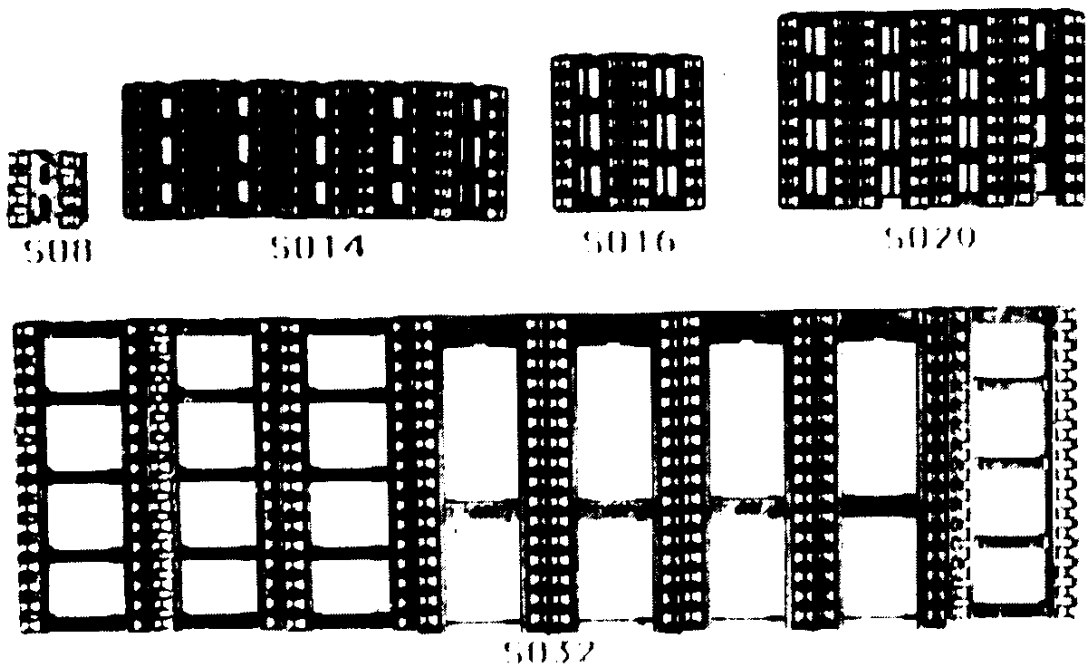
Bitte beachten Sie hierzu auch den Artikel "Schutzmaßnahmen für MOS-Schaltungen" in unserer Zeitschrift LOOP3.

4.2 Stückliste

1	11029	Original GES-Platine mit Lötstoplack und Bestückungsdruck r3		
1	11028	Handbuch Ausgabel		
1	60075	74 LS 00	J17	4 NAND
1	60120	74 LS 30	J6	1 NAND mit 8 Eingängen
1	60127	74 LS 38	J3	4 NAND
1	60094	74 LS 138	J5	3 zu 8 Dekoder
1	60102	74 LS 164	J2	8 Bit Schieberegister
3	60114	74 LS 244	J16, J18, J19	8 Bus-Leitungstreiber
1	60117	74 LS 266	J20	4 EXOR
1	60134	74 LS 645	J15	8 nichtinv. Bustranc.
10	60239	100 nF	C4..C13	Keramik-Kond. 100 nF
1	60248	10 uF	C14	Tantal-Kond. 10 uF
1	60556	560 Ohm	R7	Kohleschichtw. 560 Ohm
1	60758	4 * 4,7 kOhm	RN3	Netzwerk. 4 * 1 kOhm
1	60518	8 * 3,3 kOhm	RN2	Netzwerk. 8 * 3,3 kOhm
1	10406		ST2	36-polige Steckerleiste
1	10405		ST2	18-polige Steckerleiste
oder				
1	10787		ST1	64-polige Messerleiste
1	60715			2 * 10 p. Stiftleiste
7	60498			2 * 6 p. Stiftleiste
2	60502			2 * 4 p. Stiftleiste
1	60492			2 * 3 p. Stiftleiste
7	60497			6 p. Stiftleiste
3	60968			3 p. Stiftleiste
1	60493			2 p. Stiftleiste
8	61019			32-polige IC-Fassung
4	60187			20-polige IC-Fassung
2	60185			16-polige IC-Fassung
4	60183			14-polige IC-Fassung
40	60486	Mod 225H		Shunt-Stecker

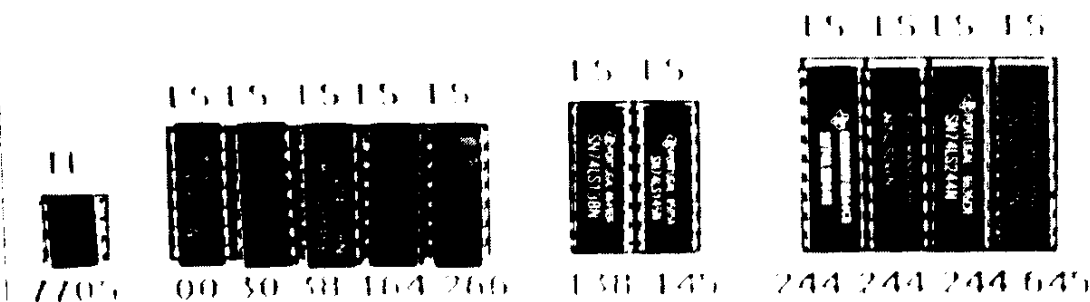
Zusätzliche Bauteile bei ROA256/1M mit Option

1	61016	74 LS 145	J4	BCD/Dezimal Dekoder
1	61017	TL 7705	J1	Spannungswächter
2	60594	BC337	T2, T3	Transistor BC337
2	61018	BC327	T1, T4	Transistor BC327
1	60412	LED	LED1	Leuchtdiode rot
2	60286	1N4001	D1, (D3), D2	Diode 1N4001
1	61021	BATT		Lithium-Batterie
1	60643	330 Ohm	R5	Kohleschichtw. 330 Ohm
3	60648	4,7 kOhm	R1, R3, R4	Kohleschichtw. 4,7 kOhm
1	60626	1 kOhm	R6	Kohleschichtw. 1 kOhm
1	60627	2,2 kOhm	R2	Kohleschichtw. 2,2 kOhm
1	60518	8 * 3,3 kOhm	RN1	Netzwerkwid. 8 * 3,3 k
3	60239	100 nF	C1, C2, C3	Keramikkond. 100 nF
1	60197			8-pol. IC-Fassung
1	60183			14-pol. IC-Fassung



GRAF
computer

ROA256/1M



ROA256/1M

Passive Bauelemente

1 Netzwerkwiderstand 4 * 4,7 kOhm

2 Netzwerkwiderstände 8 * 3,3 kOhm

13 Keramikkondensatoren 100 nF

40 Shuntstecker

1 2-polige Stiftleiste gerade

3 3-polige Stiftleisten gerade

7 6-polige Stiftleisten gerade

1 36-polige und 1 18-polige gewinkelte Steckerleiste

1 Tantal-ELKO 10 uF

1 Widerstand 560 Ohm

1 2 * 3-polige Stiftleiste gerade

1 2 * 10-polige Stiftleiste gerade

2 2 * 4-polige Stiftleisten gerade

7 2 * 6-polige Stiftleisten gerade

ROA256/1M

Passive Bauelemente d. Option

2 Dioden 1N4001

1 LED rot

1 Widerstand 1 kOhm

1 Widerstand 330 Ohm

2 Transistoren BC 337

2 Transistoren BC 327

1 Lithium Batterie

1 Widerstand 2,2 kOhm

3 Widerstände 4,7 kOhm

4.3 Aufbau Schritt für Schritt

Wenn Sie die Baugruppe für den NDR-Computer aufbauen, dann sollten Sie mit der 54-poligen Steckerleiste beginnen (siehe nächster Absatz). Bauen Sie die Baugruppe für den ECB-Bus auf, so sollten Sie mit dem Bestücken und Einlöten der IC-Sockel beginnen (siehe zweiter Absatz).

Auf einer Seite der Leiterplatte steht der Hinweis "löts" (Lötseite); auf dieser Seite wird ausschließlich gelötet. Die Bauteile sind nur auf der anderen Seite aufzustecken, der Bestückungsseite. Beim Einlöten der Bauelemente beginnt man am besten mit der gewinkelten Steckerleiste. Es sollte darauf geachtet werden, daß die Leiste parallel zur Leiterplatte liegt, um gut auf den Bus gesteckt werden zu können. Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stecker parallel zur Leiterplatte liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen. Sollten Bäuche vorhanden sein, muß wiederum in der Mitte der Bäuche ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte verlötet werden.

Nun wird die Leiterplatte mit den IC-Sockeln bestückt. Dabei muß darauf geachtet werden, daß die Sockel richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine durch den Aufdruck (falls vorhanden) sehr deutlich zu erkennen.

Es sollten alle Fassungen auf einmal aufgesteckt werden und zum Verlöten umgedreht werden; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine drückt. So wird erreicht, daß die Fassungen alle eben und gerade liegen. Beim Löten sollten wiederum nur zwei Pins jeder Fassung (möglichst diagonal) verlötet werden. So können anschließend schräg liegende Fassungen noch problemlos korrigiert werden. Bevor die restlichen Pins verlötet werden, sollte noch auf die Bestückungsseite geschaut werden, ob die Fassungen richtig liegen und die Richtungen der Fassungen stimmen.

Der Kondensator C14 darf auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist mit einem "+" und evtl. einem schwarzen Strich gekennzeichnet. Im Bestückungsplan ist der Pluspol ebenfalls mit einem "+" gekennzeichnet. Die anderen Kondensatoren sind ungepolt und können ohne auf die Polung zu achten eingelötet werden.

Die Dioden D1..D3 dürfen nicht falsch herum eingelötet werden. Die Kathode der Diode ist mit einem Strich gekennzeichnet. Auf dem dem Bestückungsplan ist die Kathode mit einem "K" beschriftet (die Dioden werden nur mit Option bestückt).

Bei der Leuchtdiode LED1 kann man die Anode und Kathode anhand der Länge der Anschlüsse identifizieren. Der kurze Draht kennzeichnet die Kathode (nur wenn mit Option).

Die Transistoren T1..T4 haben drei Anschlüsse: Basis, Emitter und Collector. Auf dem Bestückungsplan sind die Anschlüsse mit B, E und C gekennzeichnet. Am Transistor ist der Anschlußpin der

der "Nase" am Transistorgehäuse am nächsten kommt der Emitter. Der mittlere Pin ist die Basis und der dem Emitter gegenüberliegende der Collector. Der Transistor kann einfach eingesetzt werden, ohne daß Beinchen überkreuzt werden müssen (nur wenn mit Option, werden die Transistoren bestückt).

Die Netzwerkwiderstände RN1..RN3 haben einen gemeinsamen Anschluß, welcher mit einem weißen Punkt am Bauelement und auf dem Bestückungsplan gekennzeichnet ist (RN2 wird nur dann bestückt wenn mit Option).

Die Kohleschichtwiderstände R1 bis R7 sind durch Farbcode gekennzeichnet:

R1, R3 und R4	4,7 kOhm	gelb - violett - rot
R2	2,2 kOhm	rot - rot - rot
R6	1 kOhm	braun - schwarz - rot
R7	560 Ohm	grün - blau - braun
R5	330 Ohm	orange - orange - braun

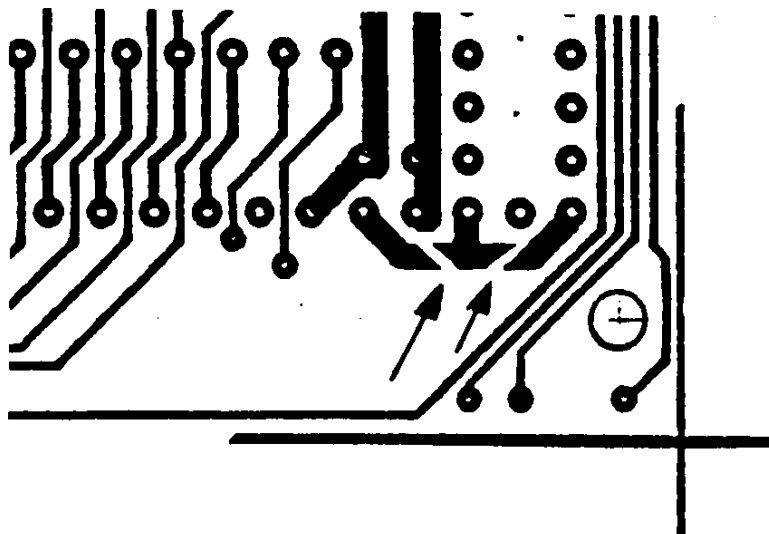
Die Widerstände R1 bis R6 werden nur dann bestückt wenn Sie die Baugruppe mit Option aufbauen.

Die Lithium-Batterie hat einen Plus- und Minuspol, welche durch ein "+" und "-" auf der Batterie gekennzeichnet sind. Beim Einlöten ist darauf zu achten, daß die Lage des Pluspols mit dem des Bestückungsdrucks übereinstimmt. Die Lithium-Batterie wird nur dann bestückt, wenn Sie die Baugruppe mit Option aufbauen.

Nun werden noch die Stiftleisten für die Jumper 1 bis 49 eingelötet. Der Jumper JMP2 wird nicht mit Stiftleisten bestückt. Für die restlichen Jumper müssen die Stiftleisten entsprechend mit einem Seitenschneider zurechtgeschnitten werden.

Wenn Sie die ROA256k aufgebaut haben, ist sie bereit für den ersten Test.

Haben Sie die ROA256/1M für den ECB-Bus aufgebaut müssen Sie noch die beiden folgenden Brücken schließen:



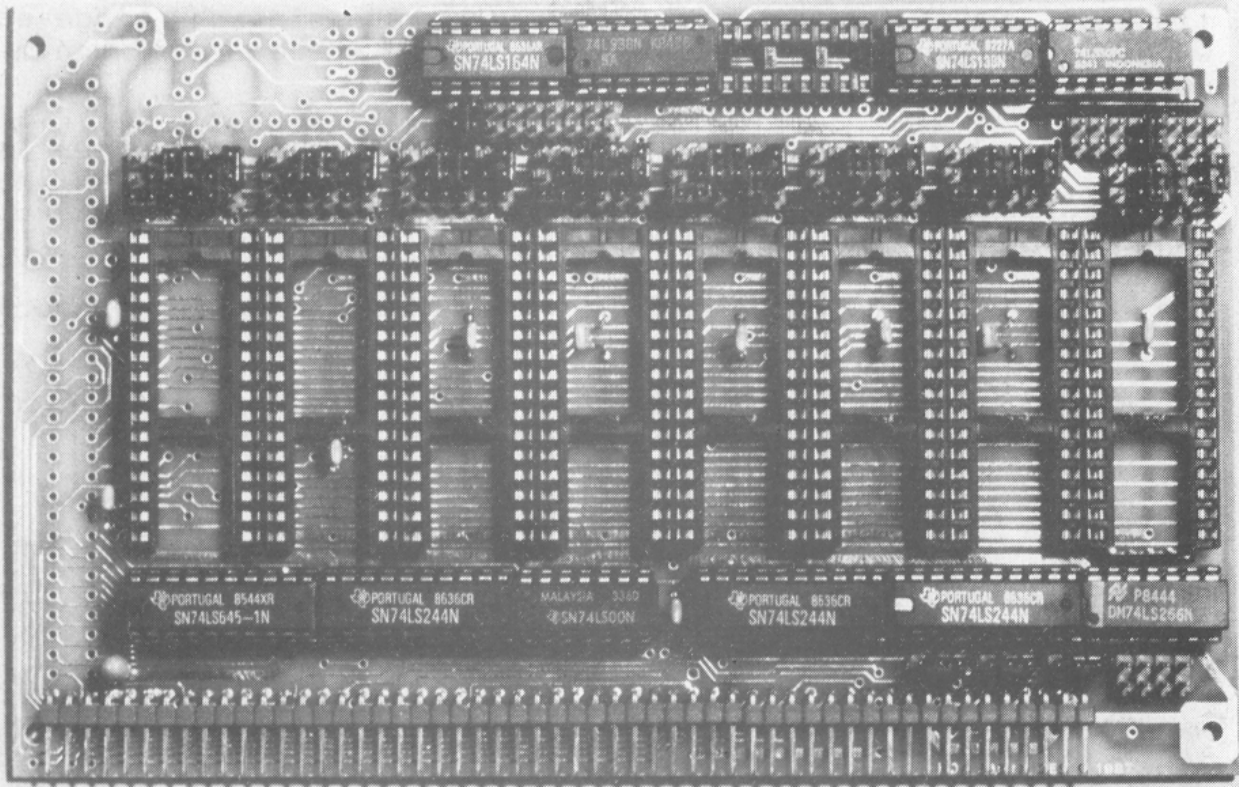


Abb.: Fertig aufgebaute Baugruppe ohne Option und ohne Speicher

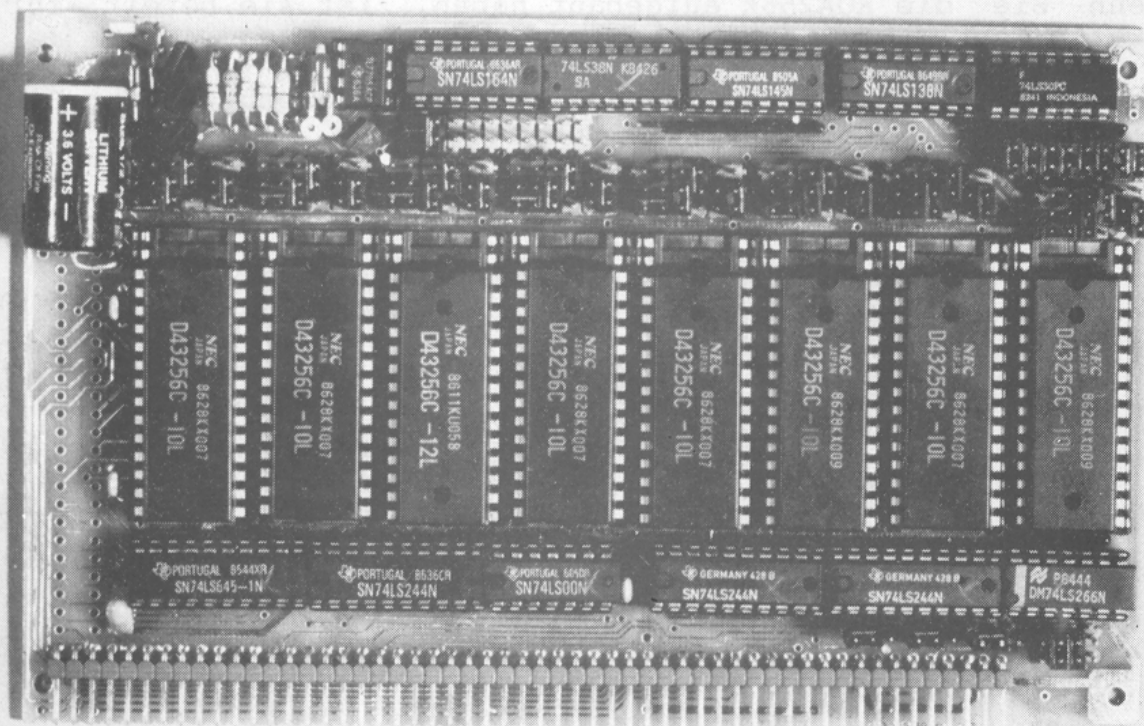


Abb.: Fertig aufgebaute Baugruppe ROA256/1M mit Option und Speicher

5. Testanleitung

5.1 Erste Prüfung ohne ICs

Die Platine ist bis jetzt erst mit den Sockeln, den passiven Bauelementen, Transistoren und den Dioden bestückt. Mit diesem Aufbau wird der erste Test durchgeführt.

Zu diesem Test muß die Baugruppe in den Bus gesteckt werden. Achten Sie beim Einstecken in den Bus, daß Sie die Baugruppe richtig herum einsetzen. Ein falsches Einstecken, z.B. um ein Pin zu weit rechts kann zu Kurzschlüssen führen und kann Bauelemente zerstören.

Man mißt, ob an allen IC-Sockeln die Versorgungsspannung ankommt. Dabei liegt bei Standard-TTL-Bausteinen jeweils am letzten Pin einer Fassung (z.B. bei 14-poligen an Pin 14) die Versorgungsspannung von +5V. 0V bzw. Masse liegt jeweils auf dem letzten Pin der ersten Reihe (bei 14-poligen auf Pin 7, bei 16-poligen auf Pin 8, bei 20-poligen auf Pin 10).

Achtung: Bei anderen (nicht TTL-) Bauelementen (Spannungswächter, Speicher) kann die Versorgungsspannung an anderen Pins liegen! Die dazugehörige Pinbelegung kann man aus dem Schaltplan ersehen.

Liegen die Versorgungsspannungen an den richtigen Pins an, dann können die ICs eingesetzt werden. Dabei muß auf die Richtung der ICs geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen. Verwenden Sie Speicher der Größe 32k x 8, so wird ihnen auffallen, daß diese Speicher nur 28-polig, die Sockel aber 32-polig sind. Deshalb müssen Sie die Speicher so einsetzen, daß Pin 1 und 2 und Pin 31 und 32 des Sockels freibleiben; die Speicher also "unten" bündig einstecken!

5.2 Einstellung der JMP

5.2.1 Allgemeingültige Jumper

5.2.1.1 Einstellung der "waitstates"

Die Einstellung der "Waitstates" hängt von zwei Faktoren ab. Die erforderliche Jumperstellung wird aus der Prozessorfrequenz und der Speicherzeit des langsamsten Speicherbausteins bestimmt. Bei der Einstellung ist darauf zu achten, daß immer ein Jumper gesteckt sein muß. Die notwendige Jumperstellung kann aus der nachfolgenden Tabelle entnommen werden.

Die Verschiebung eines Jumpers nach rechts bewirkt, daß der WAIT-Zustand um einen Takt verlängert wird.

	0	1	2	3	4	5	6	7	8
JMP1	+	+	+	+	+	+	+	+	+
	!	!	!	!	!	!	!	!	!
	+	+	+	+	+	+	+	+	+

Frequenz in MHz	Speicherzugriffszeit					
	100 ns	120 ns	150 ns	200 ns	250 ns	300 ns
8,0	0	0	0	0	0..1	1
10,0	0	0	0	0..1	1	2
12,5	0	0	0	1	2	2
16,7	0	0..1	1	2	3	3..4
20,0	0..1	1	1..2	2..3	3..4	4..5
25,0	1	1..2	2	3..4	5	6

Angaben z. B. 2..3 bedeutet:

- 2 waitstates funktionieren gerade noch
- 3 waitstates funktionieren mit Sicherheit

5.2.1.2 Ausblendung von Speicherbereichen

Mit der Hilfe des JMP2 ist es möglich, bestimmte Speicherbereiche auszublenden. Wird ein Jumper gesteckt, so wird dieser Speicherbereich freigegeben. Die Anzahl der auszublendenden Speicherbereiche ist frei wählbar.

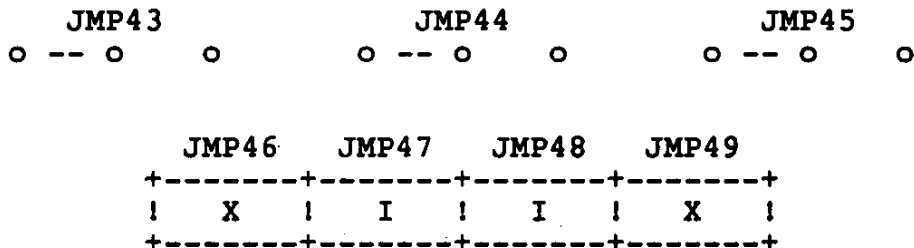
	1	2	3	4	5	6	7	8
JMP2	!	!	!	!	!	!	!	!

JMP2	Speicherplatz	relative Adresse
		256k 1M
1	1	00000 00000
2	2	08000 20000
3	3	10000 40000
4	4	18000 60000
5	5	20000 80000
6	6	28000 a0000
7	7	30000 c0000
8	8	38000 e0000

5.2.1.3 Umschaltung 256 kByte und 1 MByte

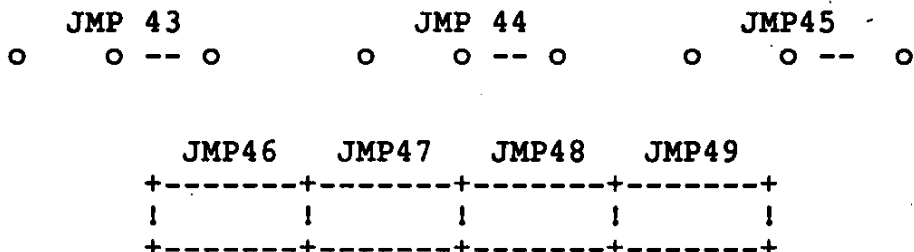
Für die Umschaltung zwischen 256 kByte und 1 MByte Gesamtspeicherkapazität müssen die Jumper 43..49 verwendet werden. Bei der Einstellung ist folgendermaßen vorzugehen:

256 kByte:



X = Adressenkodierung wird im nächsten Punkt beschrieben

1 MByte:



5.2.1.4 Adresselektierung

Die Adresselektierung ist nur notwendig, wenn mit einer Maximal-Konfiguration von 256 kByte gearbeitet wird. Die Baugruppe ist so aufgebaut, daß in einem System mehrere ROA256 zum Einsatz kommen können. Aufgrund der maximalen Speicheradressierbarkeit von 1 MByte ist jedoch der Einsatz auf 4 Baugruppen von je 256 kByte beschränkt. Mit den Jumpers 46 und 49 können 4 Basisadressen eingestellt werden damit ist ein zusammenhängender Speicherbereich zu erreichen.

JMP	Basisadresse				
	00000	40000	80000	c0000	
JMP46	geschl.	offen	offen	geschl.	
JMP49	geschl.	geschl.	offen	offen	

5.2.2 Speicherplatz orientierte Jumper

Die Batteriepufferung und die unterschiedliche Pinbelegung erfordern es, daß jeder Speicherplatz individuell auf den jeweiligen Speichertyp (RAM bzw. EPROM) und die entsprechende Speicherkapazität (32k*8 bzw. 128k*8) angepasst wird. Diese Einstellung geschieht mit den Jumpern 3 bis 42, wobei für jeden Speicherplatz 14 Jumperstellungen zur Verfügung stehen.

Da diese Jumperblöcke nahezu an allen Speicherplätzen identisch sind, erfolgt die Erklärung der Jumperstellungen einmal beispielhaft an den Jumpern 3 bis 7.

Mit Jumper 3 können die Adressleitungen A14, A15 und die Versorgungsspannung +5 V auf Pin 3 des 32 poligen IC-Sockels gelegt werden. Das -CS-Signal wird mit der Hilfe des Jumpers 4 auf den Speicherbaustein gebrückt, wobei die Wahl zwischen dem RAM-CS und dem EPROM-CS besteht. Die Pinbelegung von RAMs und EPROMs führt dazu, daß einmal an Pin29 ein -WR-Signal und im anderen Fall das Signal von A14 zu liegen hat. Auch hier wird die Pinkompatibilität mittels des Jumpers 5 erreicht. Der Jumper 6 ist nur bei Speicherbausteinen der Größe 128k*8 notwendig, um die Umstellung zwischen +5 V und A15 an Pin 31 des Sockels zu gewährleisten. Die statischen RAMs müssen im abgeschalteten Zustand von der Batteriespannung versorgt werden, im Gegensatz zu den EPROMs. Die Verbindung der RAMs mit der Batteriespannung und der EPROMs mit der Versorgungsspannung +5 V bewirkt der Jumper 7.

Achtung: Die Jumper 7, 12, 17, 22, 27, 32, 37 und 42 dürfen niemals auf +VB gesteckt sein, da die Batterie sonst innerhalb von 24-Stunden leer ist.

Alle möglichen Anpassungen sind in den nachfolgenden Darstellungen schematisch aufgeführt, wobei eine Unterscheidung zwischen der ROA256 mit und ohne Batteriepufferung zu treffen ist.

Achtung: Bei Bestückung mit statischen RAM 32k x 8 oder 128k x 8 ist darauf zu achten, daß diese für eine Batteriepufferung ausgelegt sind (LOW Power-Stand by).

Mit Batteriepufferung:

RAM 32k*8:

JMP3	JMP4	JMP5	JMP6	JMP7
o o	o	o	o	o
		!		
o o	o	o	o	o
	!		!	
o -- o	o	o	o	o
A14	RCS	WR	--	+VB

RAM 128k*8:

JMP3	JMP4	JMP5	JMP6	JMP7
o o	o	o	o	o
		!		
o o	o	o	o	o
	!		!	!
o -- o	o	o	o	o
A14	RCS	WR	A15	+VB

- Spannung langsam hochfahren; bei 4,7 V muß die LED auf der ROA256/1M einschalten; die Spannung nicht höher als +5,1 V hochdrehen.
- Die Spannung jetzt wieder langsam zurückdrehen; die LED müßte dann bei ca. 4.6 V ausschalten.

Sollte die LED nicht ordnungsgemäß ein- und ausschalten, so ist dieser Schaltungsblock defekt (J1 defekt, Transistoren defekt, LED falsch eingelötet etc.)

5.3.2 Testen der Notstromversorgung

Hier können Sie folgendermaßen vorgehen:

- sämtliche Speicher aus der ROA256/1M entfernen;
- Batterie mit dem Minuspol einlöten und zwischen dem Plus-Pol und der Leiterplatte (wo der Plus-Pol eingelötet wird) ein Ampere-Meter schalten (kleinster Meßbereich); es darf kein Strom fließen.
- +5V an die ROA256/1M anlegen; es darf immer noch kein Strom fließen
- Spannung an Jumper 7/3 (+VBatt.) messen. Hier muß die Versorgungsspannung von +5V gemessen werden.
- Ausschalten der Spannungsversorgung; jetzt müßten Sie eine Spannung von ca. 3.6 V messen (Batteriespannung).

Sollten die Spannungen nicht übereinstimmen müssen Sie diesen Schaltungsteil nochmals überprüfen (eventuell sind die Dioden falsch eingelötet, oder die Batterie bringt keine Spannung mehr etc.)

5.3.3 Testen der Stromaufnahme der RAMs

Gehen Sie dabei folgendermaßen vor:

- Amperemeter abklemmen, RAM-Bausteine bestücken, Amperemeter wieder anklemmen
- die Stromaufnahme sollte nun kleiner als 40 uA sein

Ist die Stromaufnahme (ROA256/1M voll mit RAMs bestückt) größer als 40 uA, so ist zumindest eines der RAMs ein "schwarzes Schaf" und nicht geeignet für die Batteriepufferung (falls ein Lötfehler ausgeschlossen werden kann). Wenn Sie die RAM-Bausteine von uns beziehen, dürften Sie mit dem Stromverbrauch im "Stand-by-mode" keine Probleme haben.

Hinweis: Liegt der Stromverbrauch bei 1 mA, so hält die Batterie 850 Stunden; bei 20 mA Stromverbrauch hält sie nur noch 2 Tage.

- Spannungsversorgung einschalten; jetzt darf kein Strom mehr fließen.

Sind diese Tests alle erfolgreich abgelaufen ist die Batteriepufferung in Ordnung und sie können zum Schluß das Amperemeter abklemmen und die Batterie (Plus-Pol) vollends einlöten.

6. Fehlersuchanleitung

Sollte Ihre Baugruppe bei den in Kapitel 5 beschriebenen Bedienungsmöglichkeiten nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen.

Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

6.1 Mögliche Fehler und ihre Behebung

- 6.1.1 Sind die bisher verwendeten Baugruppen in Ordnung?
(Funktionierte das System ohne die Baugruppe?)
- 6.1.2 Sind die Jumper richtig gesteckt?
- 6.1.3 Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Platine unsaubere Lötstellen (zuviel Lötzinn, manchmal zieht das Lötzinn Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen sie diese Lötstellen nachlöten und die unzulässige Verbindung beseitigen.
- 6.1.4 Haben Sie auch alle ICs richtig herum und am richtigen Platz eingesteckt? (Vergleiche mit Bestückungsplan)
- 6.1.5 Sind alle gepolten Bauteile (Elkos, Dioden, usw.) richtig herum eingelötet?
- 6.1.6 Haben sie auch keine Lötstelle vergessen zu löten?
(sehen sie lieber noch einmal nach)
- 6.1.7 Sehen Sie irgendwo "kalte" Lötstellen?
Kalte Lötstellen erkennt man daran, daß sie nicht glänzen, sie sind im Vergleich mit richtig gelöteten Lötstellen trübe.
- 6.1.8 Haben Sie auch nicht zu heiß gelötet?
Wenn der LötKolben zu heiß eingestellt ist und (oder) Sie zu lange auf der Lötstelle bleiben, dann kann es passieren, daß sich die Leiterbahnen von der Platine lösen und Unterbrechungen bilden. Ferner kann es auch passieren, daß Durchkontaktierungen unterbrochen werden, oder daß Bauteile durch zu heißes Löten zerstört werden.
- 6.1.9 Nehmen Sie alle ICs aus ihren Fassungen. Nehmen Sie sich die Layouts zur Hand und kontrollieren Sie alle Leiterbahnen, mit einem Durchgangsprüfer oder mit einem Ohmmeter auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie, der Übersicht wegen, auf dem Layout mit Bleistift durchstreichen oder mit Farbstiften nachziehen.
- 6.1.10 Prüfen sie die Versorgungsspannung mit einem Digital-Voltmeter (am Bus +5V,+12V,-12V, nicht am Netzgerät, da am Kabel bei starker Belastung bis zu 0.5V abfallen können). Toleranzen von +- 5% sind erlaubt. Falls die Spannungen zu gering sind, prüfen Sie, ob die Verbindung vom Netzteil zum Bus mit ausreichend dickem

(mind. 2 mm Quadrat) Kabel erfolgt ist. Gegebenenfalls müssen Sie Ihr Netzteil nachregeln. Wenn Sie ein Schalt-
netzteil besitzen, beziehen Sie Ihre Messungen auf die
5V-Spannung, denn die anderen Spannungen verändern
sich beim Einstellen im gleichen Maße. Vorsicht: Nie
über 5,1V nachregeln, da sich auf einigen Platinen 5,1V
Zenerdioden befinden, die ab 5,1V durchschalten, was
entweder zum Zusammenbruch Ihrer Versorgungsspannung
führt oder die Zenerdiode bis zu Ihrer Zerstörung erhitzt.
Übrigens: Wir empfehlen 5,05V.

Achtung: Verwenden Sie die Batteriepufferung auf der Baugruppe,
so dürfen Sie mit der Versorgungsspannung nicht unter
4,8 V fahren, da sonst der Spannungswächter zu schnell
ansprechen könnte.

Wenn Sie alle Leiterbahnen kontrolliert haben und nichts gefunden
haben, dann ist die Wahrscheinlichkeit groß, daß ein Bauteil
defekt ist.

Falls Sie keine Meßgeräte haben, dann müssen Sie alle Bauteile
systematisch austauschen, bis Sie das Defekte gefunden haben.
Verwenden Sie dazu eventuell eine zweite Baugruppe (die eines
Freundes oder eines Bekannten).

Sollten Sie gar nicht zurande kommen, hilft Ihnen unser Pauschal-
Reparatur-Service, dessen Bedingungen Sie der Preisliste entneh-
men können.

7. Schaltungsbeschreibung der ROA256

Die Schaltung der ROA256k kann in einzelnen Blöcke unterteilt werden, die in dieser Schaltungsbeschreibung nacheinander beschrieben werden.

7.1 Pufferung des Daten-, Adress- und Steuerbusses

Auf der ROA256k befinden sich Daten-, Adress- und Steuerleitungen. Die dabei übermittelten Signale müssen mit Hilfe von Tri-State-Treibern verstärkt werden.

Der Datenbus ist durch einen bidirektionalen Bustreiber 74LS645 (J15) vom internen Bus getrennt. Der Bustreiber wird durch zwei Signale angesteuert. DIR (J15/1) bestimmt die Signalflußrichtung. Liegt DIR auf High, so werden die Daten vom Bus zur ROA256 durchgeschaltet, liegt DIR auf Low, so ist es umgekehrt. Der DIR-Eingang ist direkt mit dem -RD-Signal verbunden. Wenn also ein Lesevorgang stattfindet und somit -RD auf Low ist, wird der Treiber von der ROA256 zum Bus durchgeschaltet.

Durch ein High-Signal am Enable-Pin kann der Treiber in den sog. "Isolation"-Zustand überführt werden. Dies ist dann der Fall, wenn ein ausgeblendeter Speicherbereich oder eine andere Baugruppe angesprochen wird.

Bei den Adress- und Steuersignalen übernehmen diese Aufgabe drei Treiber des Typs 74 LS 244 (J16, J18, J19). Die verwendeten Treiber sind nur in der Lage, die Signale in eine Richtung zu verstärken; die Adressen und Steuersignale werden nur in eine Richtung gesendet. Die Pins zur Ansteuerung der Treiber (J19/1/19, J16/1/19 und J18/1/19) liegen auf festem Potential (Masse), d.h. daß die Treiber ständig durchgeschaltet sind und nie in den hochohmigen Zustand schalten.

7.2 WAIT-Logik

Die Erzeugung der "Waitstates" geschieht über das Schieberegister 74 LS 164 (J2), bei welchen die Eingabe über die seriellen Eingänge (Pin1, 2) abläuft. Die Eingänge sind über ein NAND-Gatter (J17) mit den Ausgängen der EXCLUSIV-OR-Gatter vom Board-Select-Schaltungsteil verbunden, d. h. die WAIT-Logik kann nur bei einem Zugriff auf die ROA256 Baugruppe aktiviert werden. Befindet sich der Jumper 1 in Stellung 1, so wird das -WAIT-Signal sofort, nachdem die Eingangssignale in den High-Zustand übergegangen sind, aktiviert. Bei jeder weiteren Verrückung des Jumpers nach rechts, ergibt sich somit eine Verzögerung des Effekts um einen Taktimpuls und damit eine Verlängerung des -WAIT-Signales (siehe unter 7.9.2).

7.3 Board-Select

Der mögliche Einsatz von mehreren ROA256 Baugruppen erfordert es, daß sich auf der Baugruppe ein Board-Select-Schaltungsteil befindet. Die Baugruppe wird aktiviert, wenn die vier Eingänge A18, A19, -MREQ und BANKEN an J17/9/10 ein High-Signal erzeugen. Diese vier Signale gelangen vorher über den Treiber J19 an die Eingänge von vier EXCLUSIV-NOR-Gatter des ICs J20, dort werden

sie mit den voreingestellten oder über die Jumper JMP46 und JMP49 einstellbaren Zweiteingängen verglichen. Sind die beiden Eingänge identisch, so kann an einem Ausgang des EXKLUSIV-NOR-Gatters ein High-Signal abgegriffen werden, im umgekehrten Fall ein Low-Signal.

Die Ausgänge des Bausteines 74 LS 266 (J20) sind "Open Collector" Ausgänge und können somit miteinander verbunden werden. Durch ihre Verknüpfung verhalten sie sich wie ein AND-Gatter, weil ein Low-Signal an einem Ausgang das gemeinsame Potential auf den Low-Zustand zieht.

Mit den Jumpern 46 und 49 können vier verschiedene "Board Select" Möglichkeiten eingestellt werden (siehe unter 5.2.1.3). Man kann somit den Einsatz von mehreren Baugruppen gewährleisten.

7.4 Adressdecodierung

Durch die vielen einsetzbaren Speichertypen ist es erforderlich, daß eine umfangreiche Adressdecodierung verwendet wird. Die Adressdecodierung hat die Aufgabe, die einzelnen Speicherbausteine der Adresse nach anzuordnen.

Die Auswahl der Speicherbausteine erfolgt über drei höherwertigen Adressleitungen und über ein Board-Select-Signal. Die Möglichkeit, sowohl EPROMs als auch batteriegepufferte RAMs einzusetzen, führt dazu, daß eine getrennte Decodierung der Speicherbausteine erfolgen muß. Dies wird durch getrennte Adressdecodierer für EPROMs und batteriegepufferte RAMs erreicht.

Die Adressdecodierung für die EPROMs erfolgt mit der Hilfe des 3 Bit-Binärdecoders 74 LS 138 (J5). Der Baustein erzeugt beim Anlegen einer bestimmten Adresse auf einem Ausgang ein Low-Signal, was zur Aktivierung eines Speicherbausteins führt.

Der Dekoder geht in den passiven Zustand, sobald alle Ausgänge auf HIGH liegen. Dies ist dann der Fall, wenn das Bord-Select-Signal (J5/9) auf LOW liegt. Die anderen Enable-Eingänge (J5/4 und J5/6) des Dekoders sind fest eingestellt.

7.5 Ausblendlogik

Die 8 Ausgänge des 3 Bit-Binärdecoder können über den JMP2 einem NAND-Gatter (J6) mit entsprechend 8 Eingängen zugeführt werden, welche über den Reihenwiderstand RN2 an +5V liegen. Befinden sich alle Eingänge auf High, so wird am Ausgang von J6 (Pin8) ein Low-Signal erzeugt. Dieses Low-Signal gelangt anschließend an die Eingänge Pin4 und Pin5 von J17. Das NAND-Gatter übernimmt hier die Aufgabe eines Negierers und wandelt das Low-Signal in ein High-Signal um, welches zur Steuerung des bidirektionalen Bustreibers (J15) dient. Das vorhandene High-Signal würde den Bustreiber somit in den "Isolation"-Zustand überführen, und damit den Board-Select unterbinden.

Ein solches High-Signal kann auch durch das Öffnen eines oder mehrerer Jumper vom JMP2 auftreten. Wird nun der erste Jumper von JMP2 geöffnet, so kann bei einem Zugriff auf den ersten Speicher zwar ein Chip Select auf den Speicher durchgeführt werden (an J7/22 ein LOW-Signal) aber der Datenbustreiber J15 bleibt im hochohmigen Zustand, da am Ausgang des NANDs J6/8 ein LOW-Signal bleibt und der CS-Eingang des Datenbustreibers auf HIGH bleibt und somit kein Datentransfer durchgeführt werden kann.

(siehe auch unter 7.9.3: Speicher 2 ausgeblendet). Durch das Öffnen eines der Jumper erreicht man somit die Ausblendung von Speicherbereichen. Pro Speicherbaustein ist ein Jumper von JMP2 vorgesehen, die per "default"-Einstellung auf der Leiterplatte alle geschlossen sind. Durch Trennen einer der Jumper kann der entsprechende Speicherbaustein ausgeblendet werden.

Für die RAM-Bausteine wird eine eigene Decodierung verwendet, da die statischen RAMs mittels Batteriepufferung im "Standby-Mode" gehalten werden müssen, sobald die Versorgungsspannung abgeschaltet ist. Die Selektierung geschieht über einen BCD-Decimal-Decoder (J4), der wie der Binärdecoder (J5) angesteuert wird.

Auch dieser Baustein setzt bei einer entsprechenden Adresse einer der acht Ausgangssignale auf LOW und wählt damit einen bestimmten Speicherbereich aus. Die 8 Ausgänge sind über einen Netzwerk-widerstand RN1 mit der Batteriespannung V(BAT) verbunden.

Der Masse- und +5V-Anschluß des Binärdecoders (Pin8, 16) werden mit der Reset-Logik gesteuert und durchgeschaltet.

7.6 Batterie Pufferung der RAMs

Die in dieser Baugruppe verwendeten RAMs haben die negative Eigenschaft, beim Ausschalten der Versorgungsspannung ihre Daten zu verlieren. Dies kann jedoch durch eine Batteriepufferung vermieden werden. Nach dem Ausschalten des Computers übernimmt eine Batterie die Versorgung der RAMs mit Strom. Die Speicherbausteine müssen dabei im "Standby-Mode" betrieben werden, d. h. die CS-Eingänge der RAMs (Pin22) müssen im High-Zustand sein. Die Speicher benötigen in diesem Zustand eine Spannung von mind. 2,0 V und Ströme von 0,5 - 2 uA, damit die Speicherinformation erhalten bleibt.

Die Dioden D1 oder D3 sorgen dafür, daß die Speicher nur dann mit der Batteriespannung (3,6 V) versorgt werden, wenn diese größer als die Versorgungsspannung ist. Die Dioden sind nur in diesem Zustand leitend.

Die Diode D2 soll vermeiden, daß die Batterie von anderen Bausteinen oder Bauelementen angezapft wird, und dadurch natürlich schnell entladen wäre.

7.7 Reset-Logik

Zur Überführung der Baugruppe in den "Standby-Mode" ist eine Reset-Logik notwendig. Das Herz dieser Schaltung ist der Spannungswächter TL 7705 (J1). Dieser Baustein erzeugt intern eine konstante Spannung von ca. 4,65 V, diese wird mit der Spannung am RESIN-Eingang (Pin2) verglichen. Sinkt die Eingangsspannung unter diese Grenze, so geht der Ausgang nach der Zeit t in den Low-Zustand über. Diese Verzögerungszeit t wird mit der Hilfe des Kondensators C3 (0,1 uF) auf 1,3 ms festgelegt. Der Kondensator C2 hat die Aufgabe schnelle Schwankungen am RESIN-Eingang zu kompensieren.

Befindet sich die Speicherkarte nicht im "Standby-Mode", so ist der Ausgang RESET (Pin5) im High-Zustand. In diesem Zustand werden die beiden Transistoren T1 und T3 durchgeschaltet. Die Folge ist, daß an Pin8 von J4 Masse anliegt.

Gleichzeitig schalten auch die PNP-Transistoren T1 und T4 durch, mit dem Ergebnis, daß an Pin16 von J4 +5,0 V anliegt und die Durchlaßspannung an der Diode D2 gesenkt wird. Beim Ausschalten des Computers bewirkt der TL 7705 (J1), daß am Ausgang RESET ein Low-Signal erzeugt wird. Mit diesem Low-Signal werden die Transistoren T1..T4 in den Sperrbetrieb überführt, mit dem Ziel, daß die Anschlüsse Pin8 und Pin16 von J2 hochohmig gegenüber Masse und +5,0 V geschaltet werden und damit die CS-Eingänge der Speicher über den Netzwerkwiderstand auf HIGH gelegt und damit in den Standby-Mode gesetzt werden.

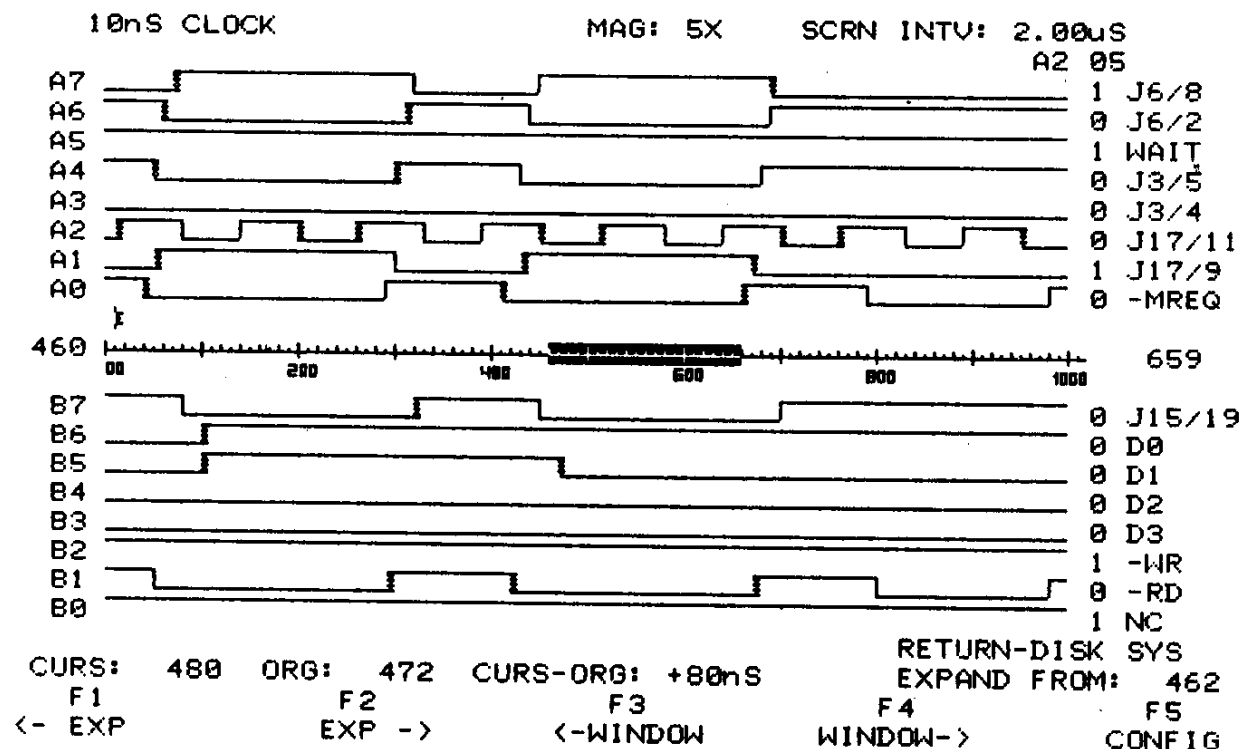
7.8 Speicher

Bei der Baugruppe ROA 256 sind 4 verschiedenen Speichertypen möglich. Da diese nicht Pinkompatibel sind, muß eine Einstellung anhand von Jumpern erfolgen. Die notwendigen Jumperstellungen sind in dem Kapitel 5.2.2 aufgeführt und erläutert.

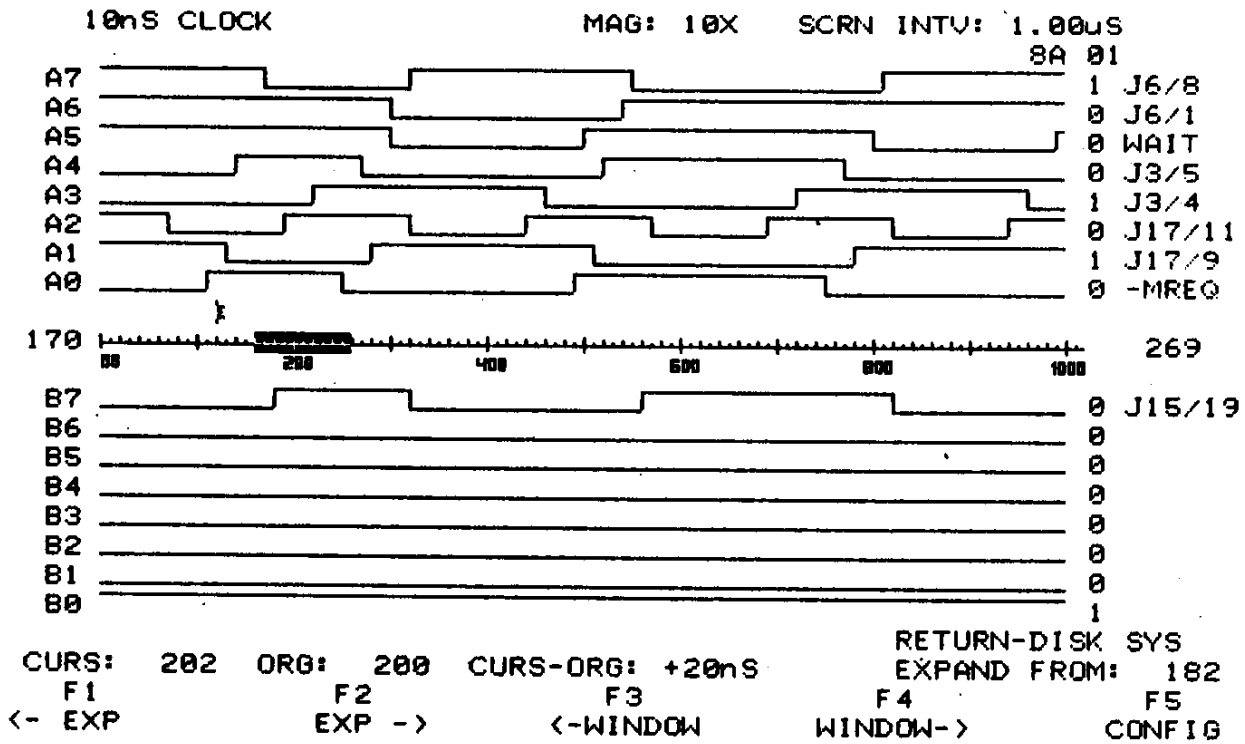
7.9 Timingdiagramme

7.9.1 Speicher-Lese-Zugriff ohne WAIT

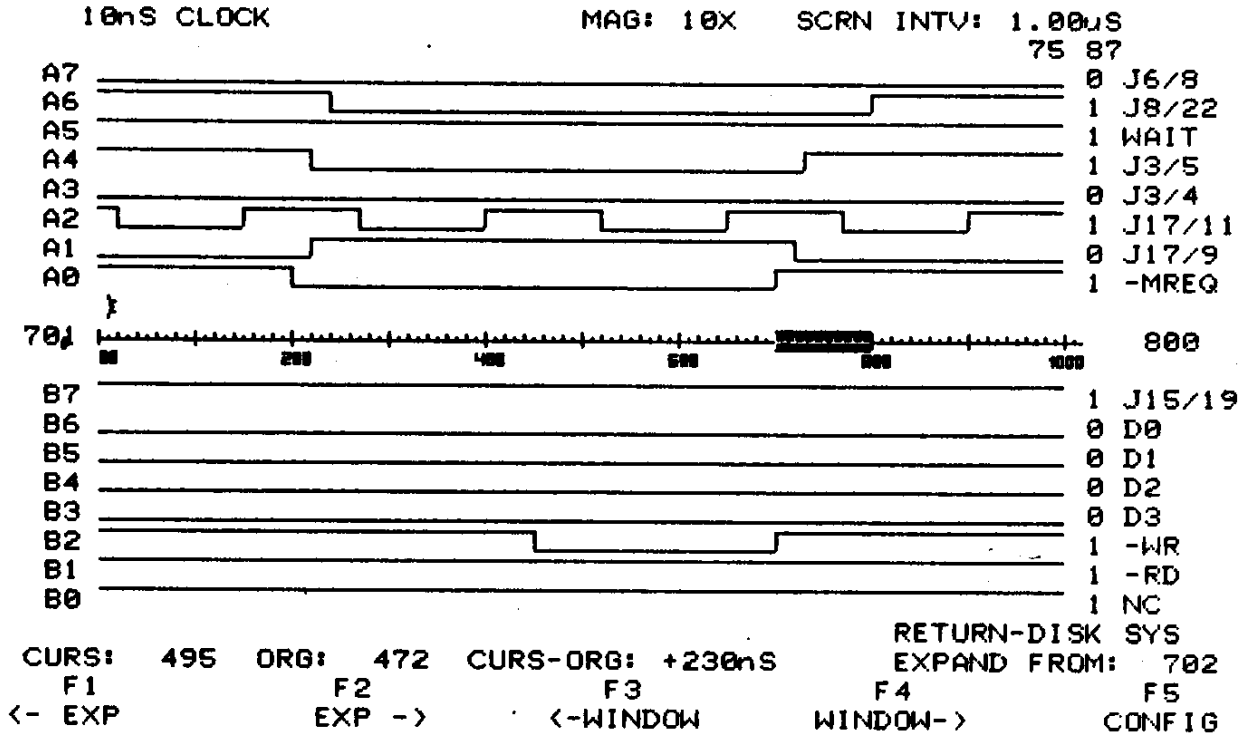
Ein Speicher-Lese-Zugriff wird durch das Anlegen der Signale -MREQ und -RD (LOW-Pegel) eingeleitet; die Speicheradresse wird ebenfalls auf den Adressleitungen angelegt (in diesem Diagramm nicht dargestellt). Das BOARD-Select-Signal J3/5 folgt dem -MREQ-Signal. Anschließend wird der Speicher ausgewählt (Signal J6/2) und der Datenbustreiber aktiviert (J6/8). Nach dem CS-Signal für den Speicher dauert es 80 nsec bis die Daten anliegen (Zugriffszeit); siehe D0 bis D3. Bei der übernächsten steigenden Taktflanke wird der Zugriff beendet (-MREQ und -RD wieder auf HIGH). Es folgt noch ein 2. Speicher-Lesezugriff und ein Speicherzugriff auf eine andere Speicherkarte.



7.9.2 Speicherzugriff mit WAIT



7.9.3 Speicher 2 (J8) ausgeblendet



8. Anwendungsbeispiele

8.1 Einsatz als normale Speicherkarte

Die ROA256/1M ist durch ihre statischen RAMs sehr schnell und eignet sich daher natürlich ideal zum Einsatz als Arbeitsspeicherkarte. Vor allem bei der 680xx-Serie unter CP/M68k, oder der CPU64180 kann der Speicherbereich der ROA voll als Arbeitsspeicher genutzt werden. Beim Betrieb mit dem Z80 empfiehlt sich, die ROA256 zum Teil als Arbeitsspeicher und den Rest als RAM-Floppy zu verwenden.

8.2 Einsatz als RAM-Floppy

Die ROA256/1M eignet sich aufgrund der Batteriepufferung besonders als RAM-Floppy. Sowohl bei CP/M 2.2 als auch bei CP/M68k ist eine RAM-Floppy im BIOS vorgesehen. Durch die Batteriepufferung bleibt der Inhalt der RAM-Floppy nach dem Ausschalten erhalten. So spart man sich nach dem Einschalten das lästige Kopieren auf die RAM-Floppy und kann sofort auf dieser arbeiten.

Hier noch einige Anmerkungen zur RAM-Floppy:

Beim CP/M68k sucht sich das Betriebssystem selbst den freien Speicherplatz oberhalb des Arbeitsspeichers und deklariert diesen zur RAM-Floppy unter Laufwerk G:. Beim CP/M2.2 wird in der Standardversion eine 178k RAM-Floppy oberhalb des 64k Arbeitsspeichers festgelegt (also auf Bank 1, 2 und 3; Bank 0 ist der CP/M-Arbeitsspeicher). Soll eine größere RAM-Floppy installiert werden, muß das BIOS geändert werden. Auf unserer BIOS-Diskette BIOSZ80 V2.0 befinden sich einige BIOS-Versionen, die eine 420k RAM-Floppy und eine 900k RAM-Floppy unterstützen

Best. #:	11023	BIOSZ80	5 1/4"	NDR Standard Format
	11022	BIOSZ80	3 1/2"	NDR Standard Format
	11024	BIOSZ80	5 1/4"	ECMA 70 Format
	11025	BIOSZ80	8"	IBM-Standard-Format

(Preise siehe gültige Preisliste)

8.3 Zusatzschaltungen zum Perfektionieren der Batteriepufferung

Die Batteriepufferung auf der ROA256/1M ist technisch ausgereift und bedarf natürlich keiner Änderung. Falls aber Schwierigkeiten auftreten sollten, liegt dies wahrscheinlich an der CPU-Karte, die ihr RESET-Signal anders steuert als die ROA256/1M. Dies kann aber durch eine kleine Zusatzschaltung leicht behoben werden.

8.3.1 Zusatzkarte für den RESET

Diese Zusatzkarte soll erstens einen sicheren RESET für die CPU liefern, wenn die Versorgungsspannung unter 4,65 V fällt und zweitens einen längeren RESET als die ROA256/1M liefern, um dem Prozessor bei einem RESET der ROA256 nicht den Speicher zu entziehen.

Folgende Schaltung kann als eigenständige Baugruppe auf dem Bus aufgebaut werden:

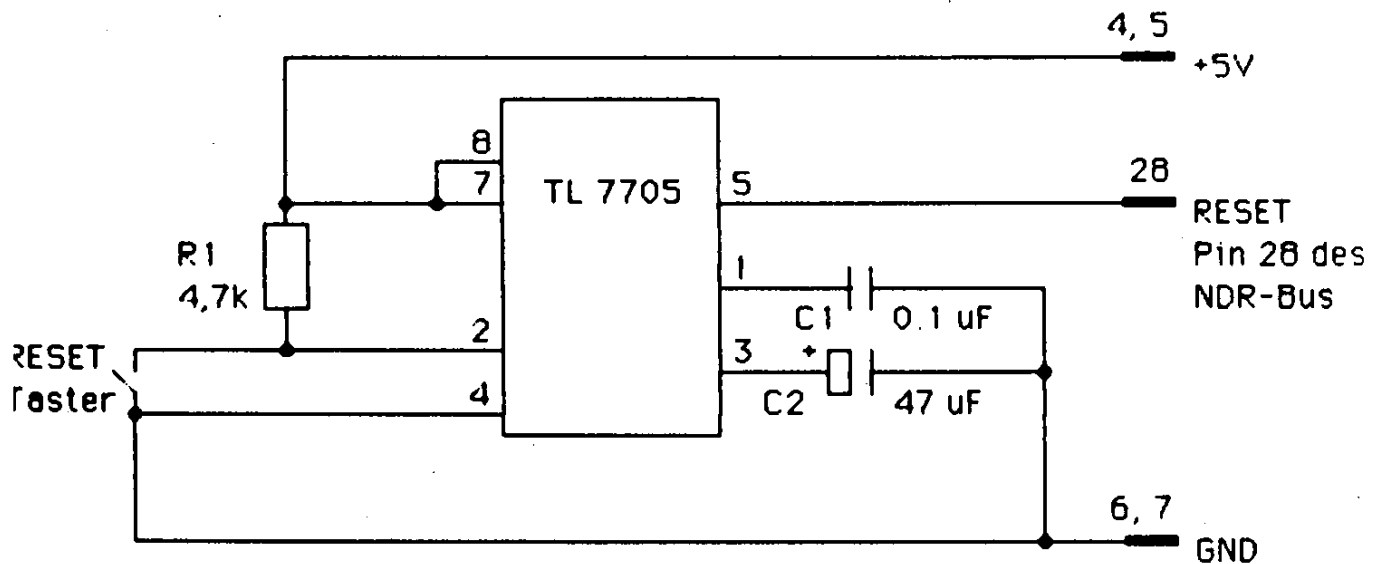


Abb. Schaltung der RESET-Karte

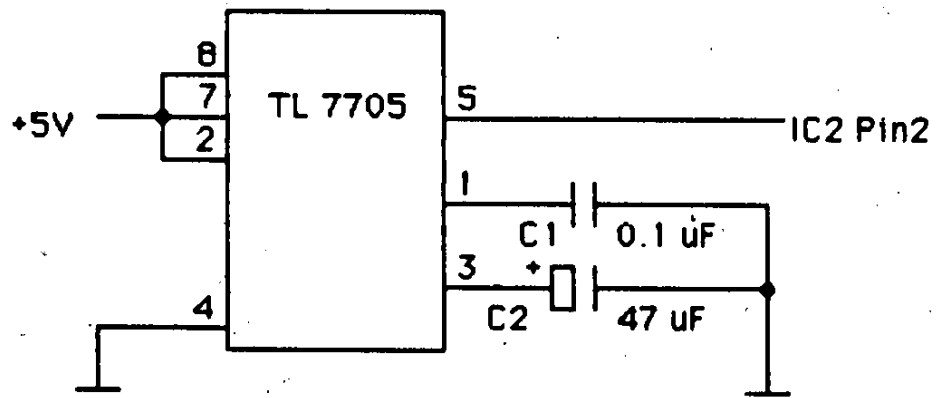
Ausserdem muß auf der jeweiligen CPU-Karte noch folgende Änderung vorgenommen werden:

- SBC3: Auf der SBC3 muß dann lediglich der Baustein 74LS121 (J1) entfernt werden.
- CPUZ80: Auf der CPUZ80 muß ebenfalls der Baustein 74 121 (JC9) entfernt werden.
- CPU64180: Auf der CPU64180 muß lediglich der Baustein 74 121 (J8) entfernt werden.
- CPU68k: Verbindung von IC2 Pin 2 zu Pin 28 der 54-poligen NDR-Steckerleiste (STECKER 1)
Auftrennen der Verbindung IC3 Pin 4 zum RESET (Pin 28) der 54-poligen Steckerleiste (STECKER 1); sie können auch Pin 4 von IC3 hochbiegen.
- CPU68000: Verbindung von IC2 Pin 2 zu Pin 28 der 2 x 54-poligen Stiftleiste (Stecker 1)
Auftrennen der Verbindung IC3 Pin 4 zum RESET (Pin 28 der 2 x 54-poligen Steckerleiste); sie können auch Pin 4 von IC3 hochbiegen.
- CPU68020: Pin 6 von IC 3 hochbiegen (IC aus dem Sockel ziehen, Pin 6 hochbiegen, IC wieder in den Sockel stecken.)
Verbindung IC 3 Pin 6 zu IC3 Pin 8

Ist die Schaltung soweit aufgebaut, muß der RESET-Taster natürlich von der RESET-Karte bedient werden.

8.3.2 Aufbau einer RESET-Logik auf einer 680xx-Karte

Diese RESET-Logik kann natürlich auch auf der jeweiligen CPU-Karte aufgebaut werden. Die sauberere Lösung ist allerdings die unter 8.3.1 beschriebene. Hier nun eine Schaltung für CPU68k und die CPU6800:



9. Diverses

9.1 Ausblick

Korrekturen für dieses Handbuch werden in der Zeitschrift LOOP bekanntgegeben. Man sollte dann die fehlerhaften Stellen von Hand korrigieren.

9.2 Kritik

Bitte senden Sie uns die ausgefüllte Kritikkarte, die dem Bausatz beiliegt, zurück. Sie helfen uns, unsere Produkte und unseren Service noch besser zu gestalten.

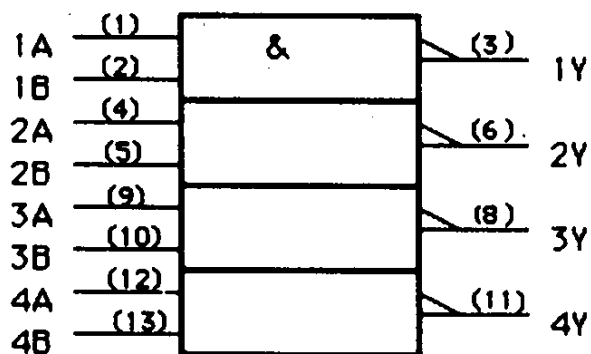
Für Fehlermeldungen und Verbesserungen, die dieses Handbuch betreffen, sind wir immer dankbar!

10. Unterlagen zu den verwendeten ICs

10.1 TTL-ICs

74LS00

4 NAND-Gatter

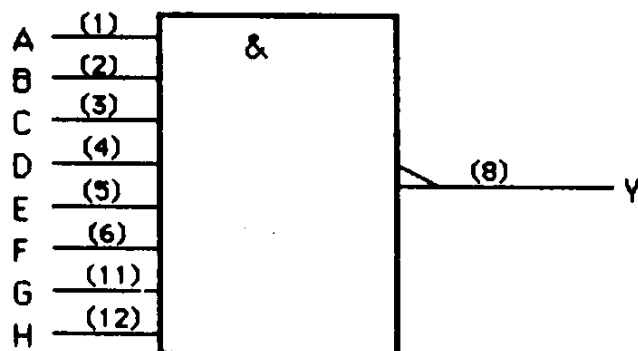


Typ. Impulsverzögerungszeit: 9,5 ns

Typ. Leistungsaufnahme: 8 mW

74LS30

NAND-Gatter mit 8 Eingängen

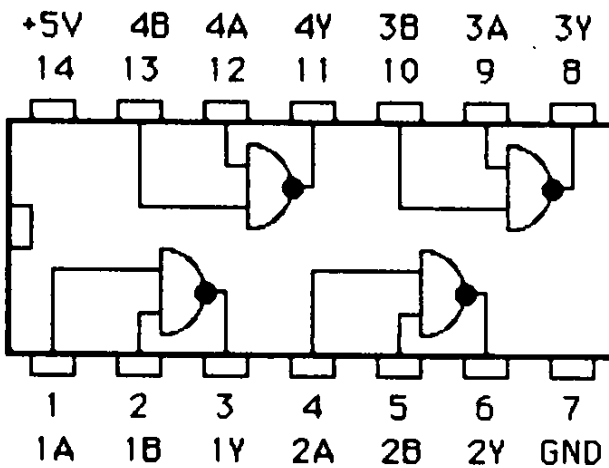


Typ. Impulsverzögerungszeit: 12 ns

Typ. Versorgungsstrom: 0,4 mA

74LS38

4 NAND-Leistungsgatter mit je zwei Eingängen (o.K.)



Logiktablelle:

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

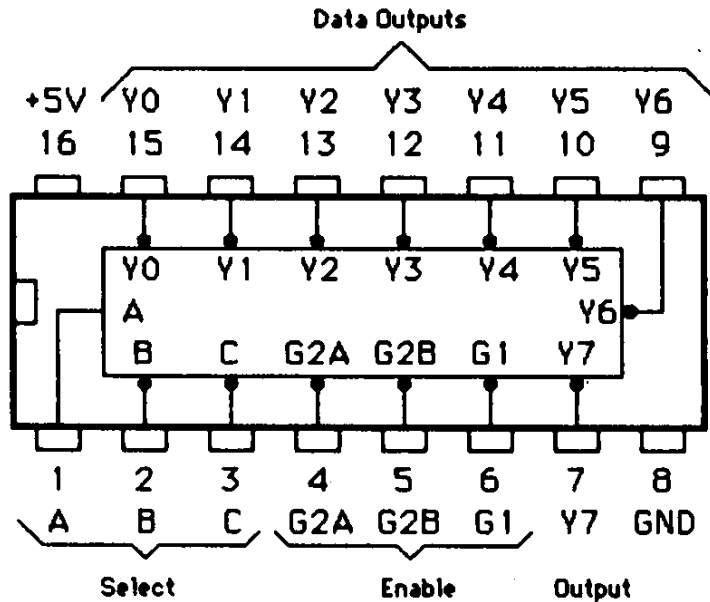
Typ. Impuls-
Verzögerungszeit: 19 ns

Typ. Leistungs-
aufnahme: 17 mW

positive Logik:
 $Y = \overline{AB}$

74LS138

3-Bit Binärdekoder/Demultiplexer (3 zu 8)



Logiktable:

Inputs			Outputs											
Enable		Select												
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7		
X	H	X	X	X	H	H	H	H	H	H	H	H		
L	X	X	X	X	H	H	H	H	H	H	H	H		
H	L	L	L	L	L	H	H	H	H	H	H	H		
H	L	L	L	H	H	L	H	H	H	H	H	H		
H	L	L	H	L	H	H	L	H	H	H	H	H		
H	L	L	H	H	H	H	H	L	H	H	H	H		
H	L	H	L	L	H	H	H	H	L	H	H	H		
H	L	H	L	H	H	H	H	H	H	L	H	H		
H	L	H	H	L	H	H	H	H	H	H	L	H		
H	L	H	H	H	H	H	H	H	H	H	H	L		

Positive Logik

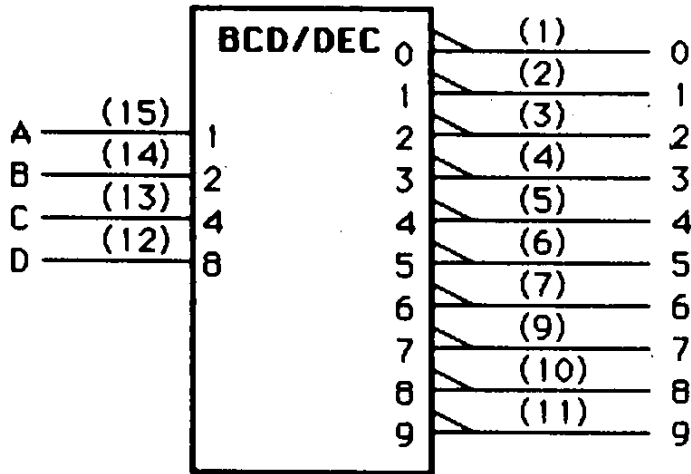
*G2 = G2A + G2B

Typ. Impulsverzögerungszeit : 22 ns

Typ. Versorgungsstrom : 7 mA

74LS145

BCD zu Dezimal Dekoder mit 10 K Ausgängen

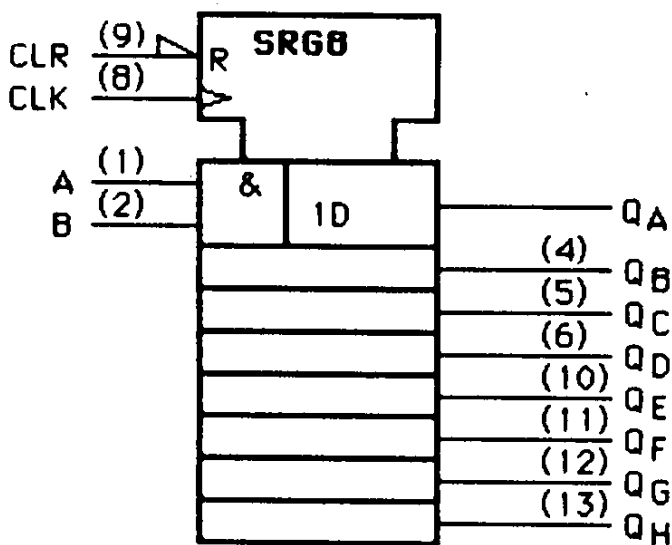


Typ. Impulsverzögerungszeit: 50 ns

Typ. Verlustleistung: 35 mW

74LS164

8-Bit Schieberegister mit Parallelausgabe und Clear



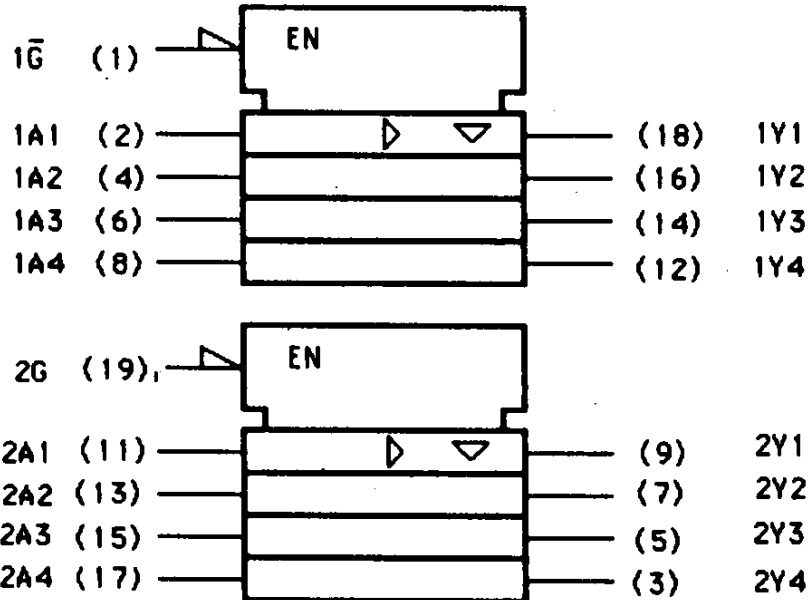
Typ. Impulsverzögerungszeit: 19 ns

Typ. Leistungsaufnahme: 93 mW

Min. garantierte Schiebefrequenz: 25 MHz

74LS244

Acht Bus-Leitungstreiber (Tri-State)



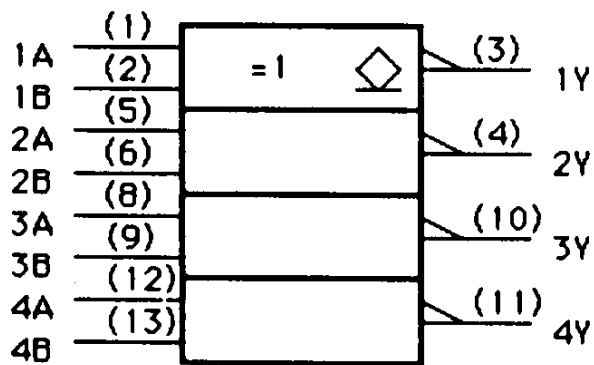
Wahrheitstabelle:

Inputs		Outputs
\bar{G}	A	Y
H	X	Z
L	L	L
L	H	H

Typ. Impulsverzögerungszeit: 12 ns
 Typ. Versorgungsstrom: 27 mA
 positive Logik: ja

74LS266

4 EXCLUSIVE-NOR-Gatter mit je 2 Eingängen (o. K)

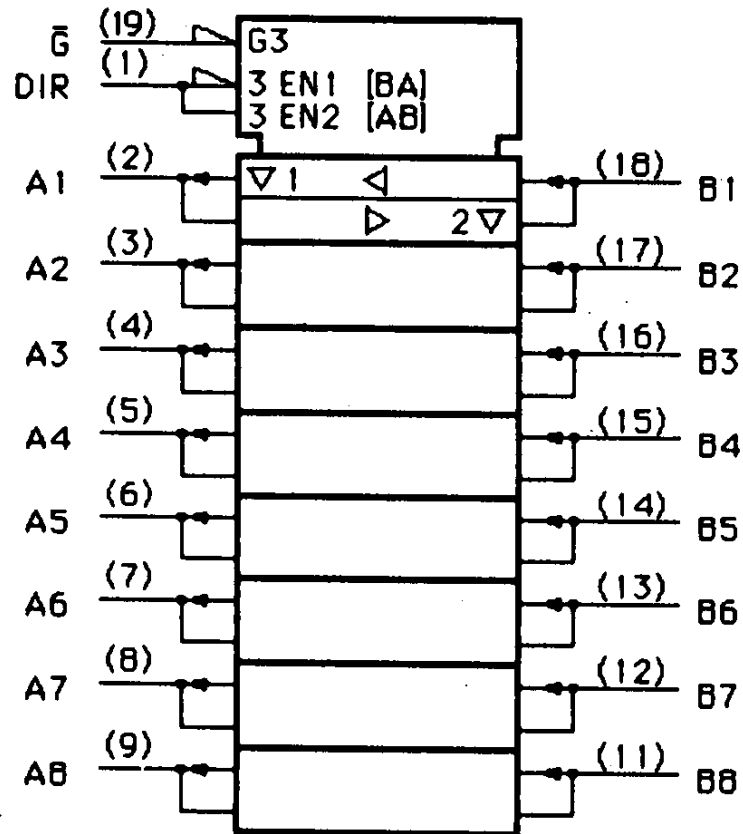


Typ. Impulsverzögerungszeit: 18 ns

Typ. Verlustleistung: 40 mW

74 LS 645

Acht nichtinvertierende Bustransreçiever



Typische Durchlaufverzögerungszeit 11 ns

Typische Verlustleistung 310 mW

**INTERFACE
CIRCUITS**

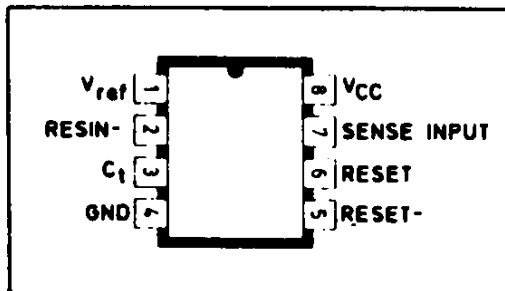
**Preliminary Data Sheet of the Supply Voltage Supervisor
SERIES TL7702**

Rev. G 06-22-1982

features

- Power on reset generator
- Automatic reset generation after Voltage drop
- Precision Voltage sensor
- Temperature compensated Voltage reference
- True and complement outputs
- Pulse width adjustable with external capacitor
- Wide supply Voltage Range: 3 to 18 Volts
- Only two external Capacitors required

**P
DUAL-IN-LINE PACKAGE
(TOP VIEW)**



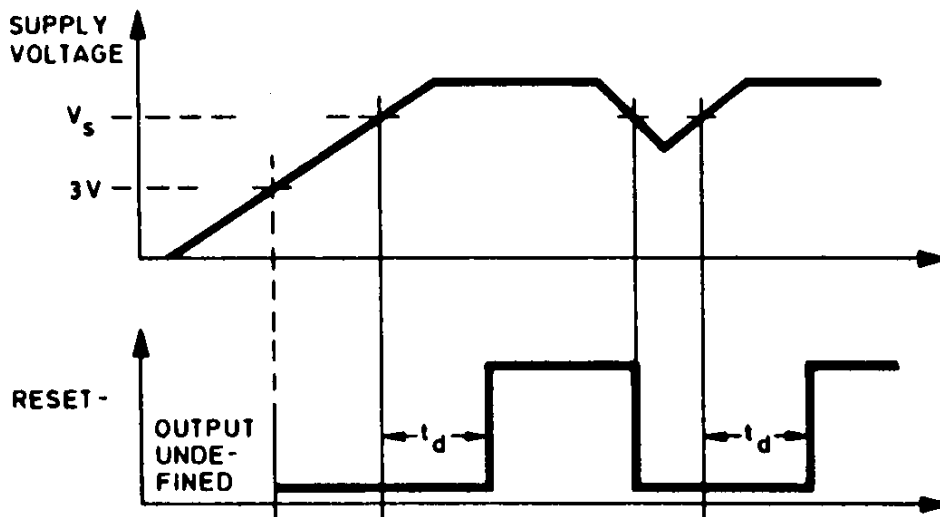
description

This circuit has been designed as a Reset Controller in digital systems, especially in microcomputer or microprocessor systems. During power on the circuit tests the supply voltage and keeps the Reset-outputs active as long as the supply voltage has not reached the nominal value. An internal timer delays the output's return to the inactive state to ensure proper system reset. The delay time t_d is determined by an external capacitor.

$$t_d = 1.3 \times 10^4 \times C_t \quad C_t \text{ in F, } t \text{ in sec}$$

Also when the supply voltage drops under the nominal value, the output becomes active and stays in this state until the supply voltage returns to the nominal value.

An external capacitor ($C = 0.1 \mu\text{F}$ typ.) must be connected to the V-Ref. output PIN 1 to reduce the influence of fast transients in the supply voltage.



Timing Diagram

Note: Sense input connected to V_{CC}

Preliminary Data Sheet of the Supply Voltage Supervisor SERIES TL7702

Rev. G 06-22-1982

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage V_{CC} (see Note 1)	20 V
Input voltage at RESIN- (see Note 1)	-0.3 to 20 V
Input voltage at SENSE	
TL7702 (see Note 1)	-0.3 to 6 V
TL7705, TL7709, TL7712, TL7715 (see Note 1)	-0.3 to 20 V
Operating free-air temperature range	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1. All voltage values are with respect to the network ground terminal.

recommended operating conditions at specified temperature range

	MIN	TYP	MAX	UNIT
Supply voltage V_{CC}	3		18	V
High-level input voltage at RESIN- V_{IH}	2.0			V
Low-level input voltage at RESIN- V_{IL}			0.7	V
High-level output current I_{OH} at RESET			-1	mA
Low level output current I_{OL} at RESET-			16	mA
Operating free-air temperature range T_A	0°		70°	C

electrical characteristics over full range of recommended operating conditions

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
I_{IL} Low-level input current at RESIN-	$V_{IL} = 0.4$ V			-100	μ A
I_{IH} High-level input current at RESIN-	$V_{IH} = 2.4$ V, V_{CC}			20	μ A
V_{CH} High-level output voltage at RESET	$I_{OH} = \text{max}$	$V_{CC} - 1$			V
V_{OL} Low-level output voltage @ RESET-	$I_{OL} = \text{max}$.4	V
V_{REF} Reference voltage			2.5		V
V_S Sense voltage	$V_{CC} = 3.5$ to 18 V				V
TL7702			V_{REF}		V
TL7705		4.7	4.75	4.8	V
TL7709		7.5	7.6	7.7	V
TL7712		11.2	11.4	11.6	V
TL7715		14.0	14.2	14.4	V
I_{CC} Supply current	All inputs and outputs open		1.8	3	mA

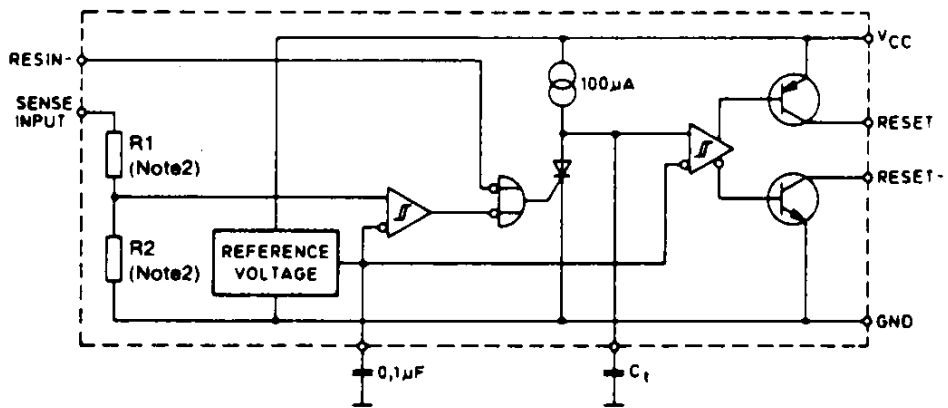
switching characteristics over full range of recommended operating conditions

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PI} Pulse width at SENSE input	$V_{IH} = V_{Styp} + 200$ mV $V_{IL} = V_{Styp} - 200$ mV	0.5			μ s
t_{PO} Pulse width at output	$C_L = 0.1$ μ F	0.65	1.3	2.6	ms
t_{PD} Propagation delay time from RESIN- to RESET-	$C_L = 100$ pF; $V_{CC} = 5$ V		9		μ s
$t_{r/f}$ Rise/Falltime at RESET and RESET-	$C_L = 100$ pF; $V_{CC} = 5$ V $R_L = 4.7$ k Ω			1	μ s

*All characteristics are measured with capacitors of each $C = 0.1$ μ F across PIN1/GND and PIN3/GND

Preliminary Data Sheet of the Supply Voltage Supervisor SERIES TL7702

Rev G 06-22-1982



Functional Diagram

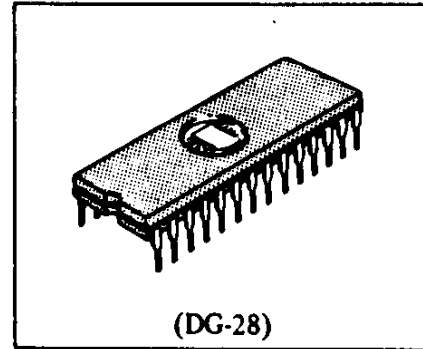
Note 2:	R_1 typ.	R_2 typ.
	TL7702	0
	TL7705	9.0k
	TL7709	20.4k
	TL7712	36.6k
	TL7715	46.8k
		10.0k

HN27256G Series

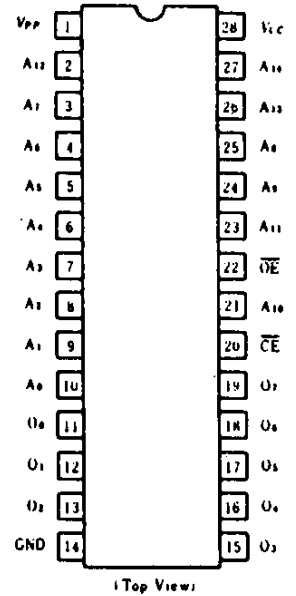
32768-word x 8-bit UV Erasable and Programmable ROM

■ FEATURES

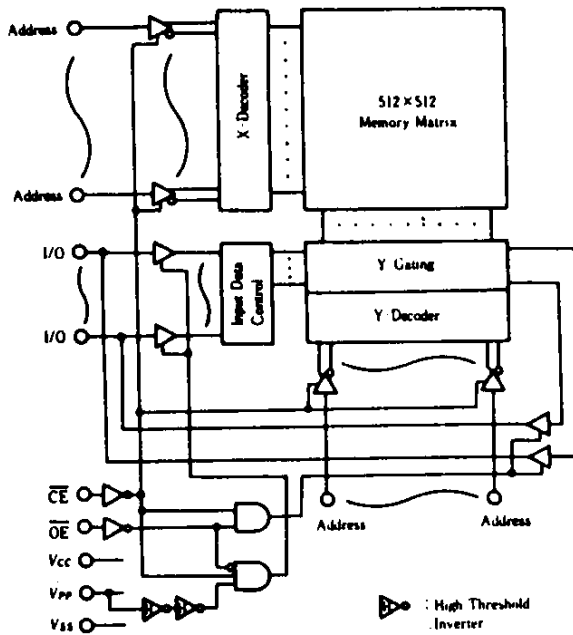
- Single Power Supply +5V ± 5%
- High Performance Programming . . Program Voltage: +12.5V D.C.
- Static No Clocks Required
- Inputs and Outputs TTL Compatible During Both Read and Program Modes
- Access Time HN27256G-25: 250ns(max.)
HN27256G-30: 300ns(max.)
- Absolute Max. Rating of V_{PP} pin . . 14.0V
- Low Stand-by Current 40mA (stand-by)
- Device Identifier Mode Manufacturer Code and Device Code
- Compatible with INTEL 27256



■ PIN ARRANGEMENT



■ BLOCK DIAGRAM



■ MODE SELECTION

Mode	Pins	\overline{CE} (20)	\overline{OE} (22)	V_{PP} (1)	V_{CC} (28)	A9 (24)	Outputs (11 ~ 13, 15 ~ 19)
Read		V_{IL}	V_{IL}	V_{CC}	V_{CC}	X	Dout
Output Disable		V_{IL}	V_{IH}	V_{CC}	V_{CC}	X	High Z
Standby		V_{IH}	X	V_{CC}	V_{CC}	X	High Z
High Performance Program		V_{IL}	V_{IH}	V_{PP}	V_{CC}	X	Din
Program Verify		V_{IH}	V_{IL}	V_{PP}	V_{CC}	X	Dout
Optional Verify		V_{IL}	V_{IL}	V_{PP}	V_{CC}	X	Dout
Program Inhibit		V_{IH}	V_{IH}	V_{PP}	V_{CC}	X	High Z
Identifier		V_{IL}	V_{IL}	V_{CC}	V_{CC}	V_H	Code

Note) X: Don't care.
 V_H : 12.0V ± 0.5V.

HN27C101G Series

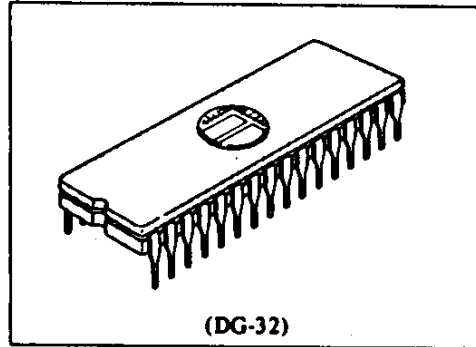
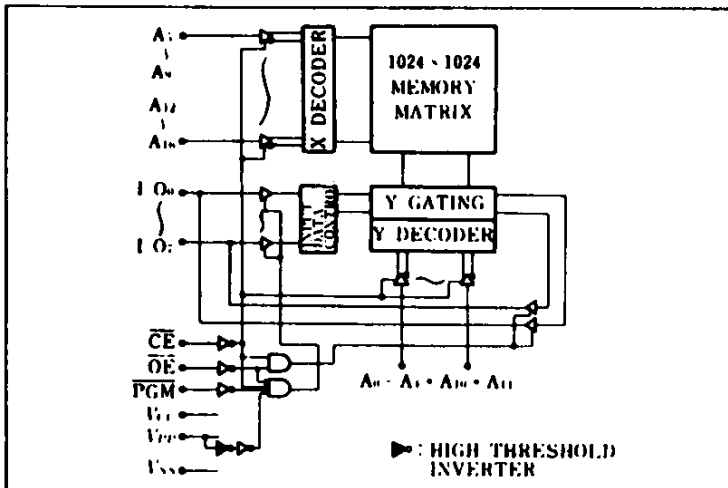
Preliminary

131072-word X 8-bit CMOS U.V. Erasable and Programmable ROM

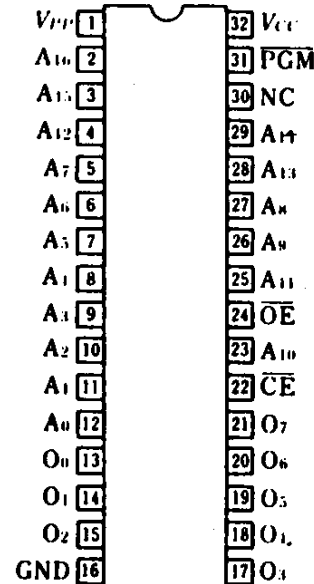
FEATURES

- Single Power Supply +5V ±5%
- High Performance Program Mode and High Performance Page Program Mode Program Voltage: +12.5V DC High Performance Programming Available
- Static No Clocks Required
- Inputs and Outputs TTL Compatible During Both Read and Program Modes
- Access Time 200ns max. (HN27C101G-20)
250ns max. (HN27C101G-25)
- Low power Dissipation . . . 50mW/MHz typ. (Active Mode)
5μW typ. (Standby Mode)
- Pin Arrangement 32 Pin JEDEC Standard
- Device Identifier Maker code and Device code

BLOCK DIAGRAM



PIN ARRANGEMENT



(Top View)

MODE SELECTION

Mode	Pin	CE (22)	OE (24)	PGM (31)	A9 (26)	VPP (1)	VCC (32)	Outputs (13~15, 17~21)
Read		V _{IL}	V _{IL}	V _{IH}	X	V _{CC}	V _{CC}	Dozt
Output Disable		V _{IL}	V _{IH}	V _{IH}	X	V _{CC}	V _{CC}	High Z
Standby		V _{IH}	X	X	X	V _{CC}	V _{CC}	High Z
Program		V _{IL}	V _{IH}	V _{IL}	X	V _{PP}	V _{CC}	Din
Program Verify		V _{IL}	V _{IL}	V _{IH}	X	V _{PP}	V _{CC}	Dozt
Page Data Latch		V _{IH}	V _{IL}	V _{IH}	X	V _{PP}	V _{CC}	Din
Page Program		V _{IH}	V _{IH}	V _{IL}	X	V _{PP}	V _{CC}	High Z
Program Inhibit		V _{IL}	V _{IL}	V _{IL}	X	V _{PP}	V _{CC}	High Z
		V _{IL}	V _{IH}	V _{IH}				
		V _{IH}	V _{IL}	V _{IL}				
		V _{IH}	V _{IH}	V _{IH}				
Identifier		V _{IL}	V _{IL}	V _{IH}	V _H	V _{CC}	V _{CC}	Code

Note) X: Don't care

• 30 pin should be connected to 32 pin.

V_H: 12.0V±0.5V

Note)

The specifications of this device are subject to change without notice. Please contact your nearest Hitachi's Sales Dept. regarding specifications.

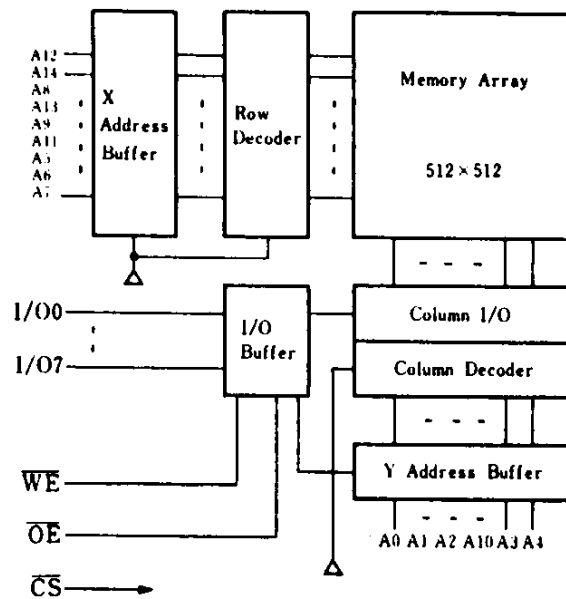
HM62256LP Series, HM62256LFP Series

32768-word X 8-bit High Speed Static CMOS RAM

■ FEATURES

- High Speed: Fast Access Time 85/100/120/150ns (max.)
- Low Power Standby and Low Power Operation;
Standby: 10 μ W (typ.), Operation: 40mW (typ.) ($f = 1\text{MHz}$)
- Single 5V Supply
- Completely Static RAM: No clock or Timing Strobe Required
- Equal Access and Cycle Time
- Common Data Input and Output, Three-state Output
- Directly TTL Compatible: All Input and Output
- Standard 28 pin Package Configuration
- Capability of Battery Back up Operation

■ BLOCK DIAGRAM

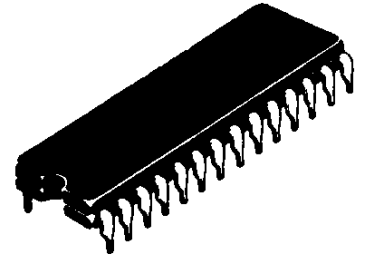


■ ABSOLUTE MAXIMUM RATINGS

Item	Symbol	Rating	Unit
Voltage on any pin with relative to GND	V_T	-0.5* to +7.0	V
Power Dissipation	P_T	1.0	W
Operating Temperature	T_{opr}	0 to +70	$^{\circ}\text{C}$
Storage Temperature	T_{stg}	-55 to +125	$^{\circ}\text{C}$
Temperature Under Bias	T_{bias}	-10 to +85	$^{\circ}\text{C}$

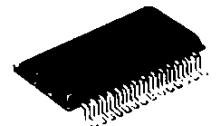
*Pulse Width 50ns: -3.0V

HM62256LP Series



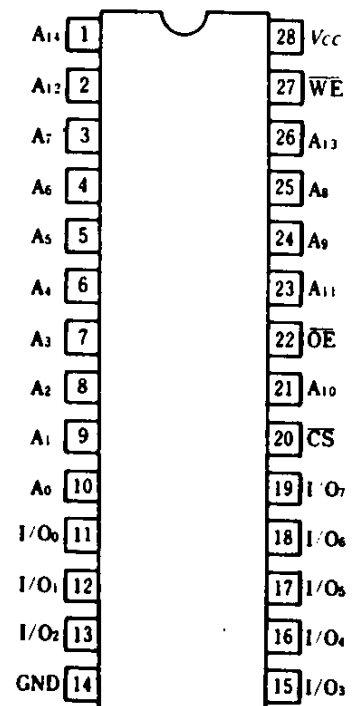
(DP-28)

HM62256LFP Series



(FP-28D)

■ PIN ARRANGEMENT



(Top View)

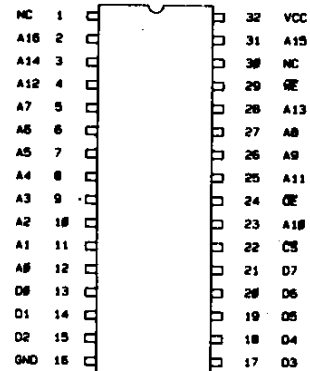
HMS628128J HMS628128JI
HMS628128JLP HMS628128JILP
131.072 x 8 CMOS High Speed Static RAM

HMS 62 8 128 J
(Jedec Pinning)

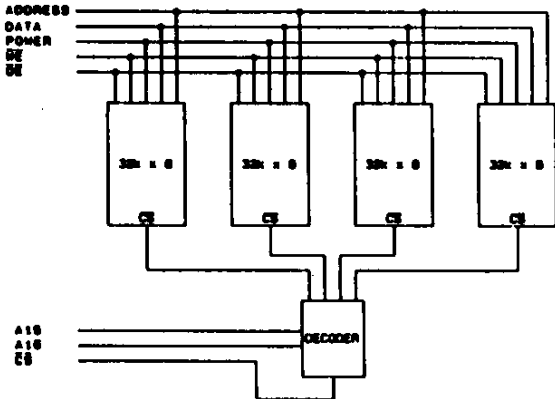
Features

- Fast Access Times 100/120/150 ns
- JEDEC Standard 32 pin DIL Package
- Low Power Standby 800uW (typ)
40 uW (typ) - LP
- Low Power Operation 150 mW at 1 MHz
- Completely Static Operation
- Equal access and cycle times
- Directly TTL Compatible
- Battery back up capability
- Onboard Decoupling Capacitors

* Pin Definition



* Block Diagram



1 Megabit statisches RAM

* Absolute Maximum Ratings

Voltage on any pin (rel to Vss)	Vt	-0.5 to 7.0	V
Power Dissipation	Pt	4	W
Storage Temperature	Tstg	-65 to 150	°C

Note Vt can be -3.5V pulse of less than 20 nsec.

* Recommended Operating Conditions

		min	typ	max	
Supply Voltage	Vcc	4.5	5.0	5.5	V
Input Voltage	Vih	2.2	-	Vcc+0.3	V
	Vil	-0.3	-	0.8	V
Operate Temp.	Ta	0	-	70	°C
	Ta	-40	-	85	°C

* Truth Table

WE	CS	OE	Mode	Data	Supply Current	Note
X	H	X	Not selected	High Z	I _{sb} , I _{sb1}	
H	L	H	Output Disabled	High Z	I _{cc}	
H	L	L	Read	Dout	I _{cc} , I _{cc1}	Read Cycle
L	L	H	Write	Din	I _{cc} , I _{cc1}	Write Cycle (1)
L	L	L	Write	Din	I _{cc} , I _{cc1}	Write Cycle (2)

11. Literatur

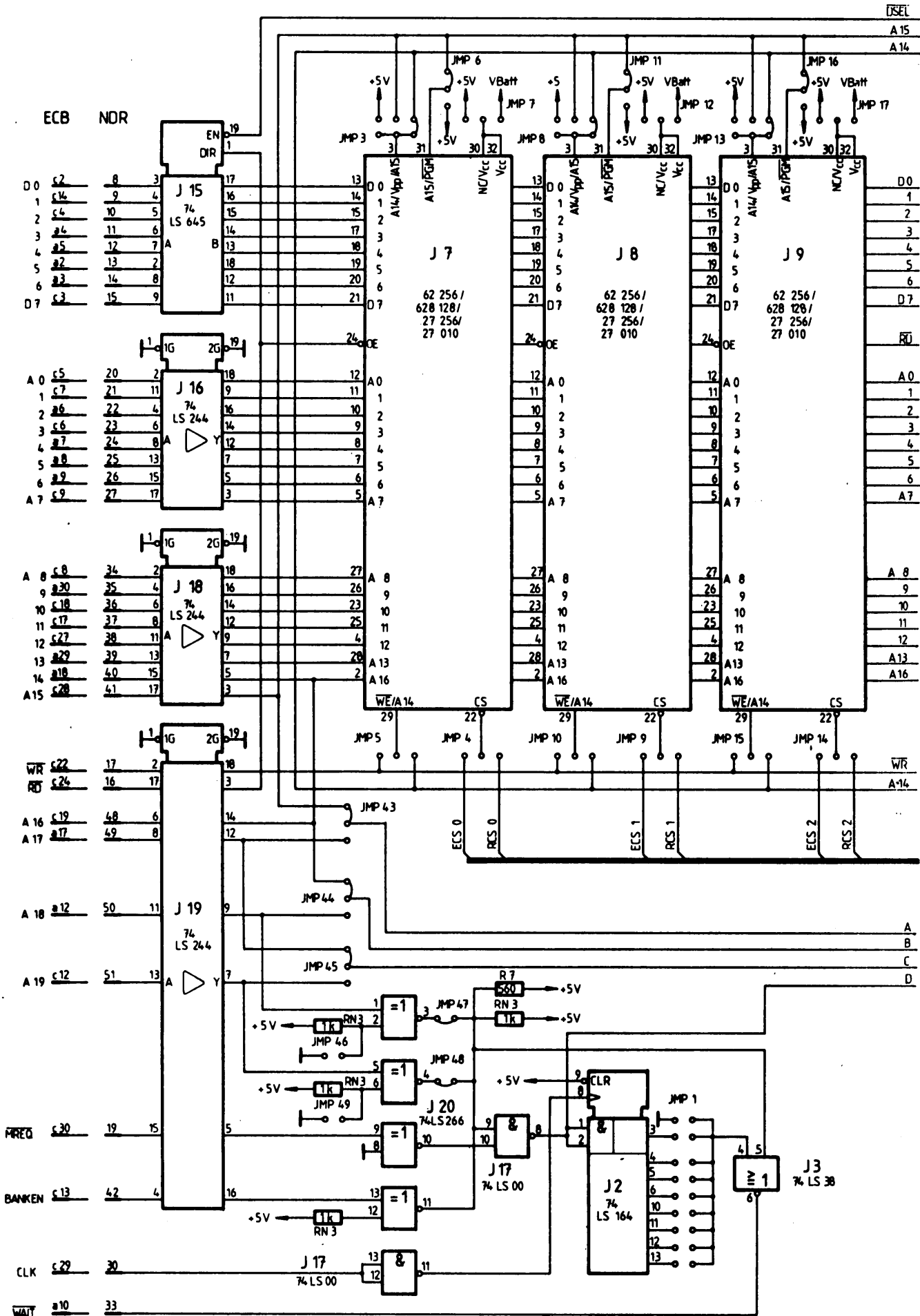
11.1 Die Zeitschrift LOOP

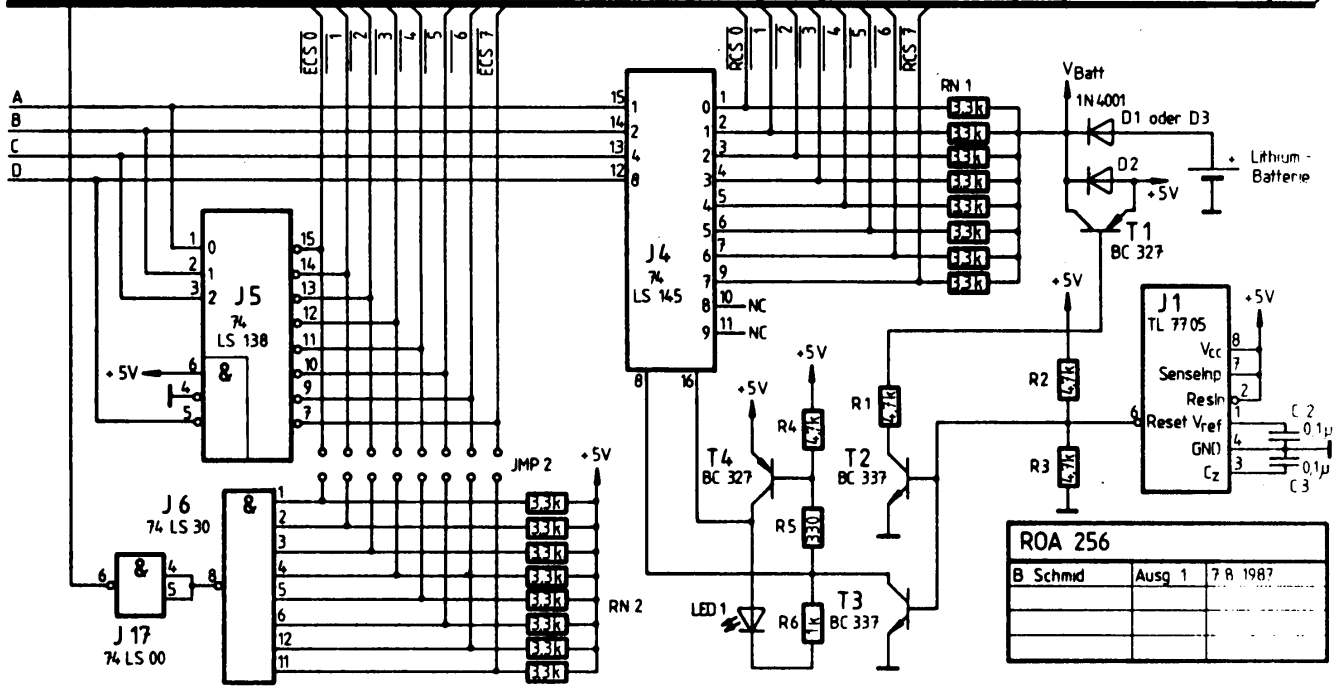
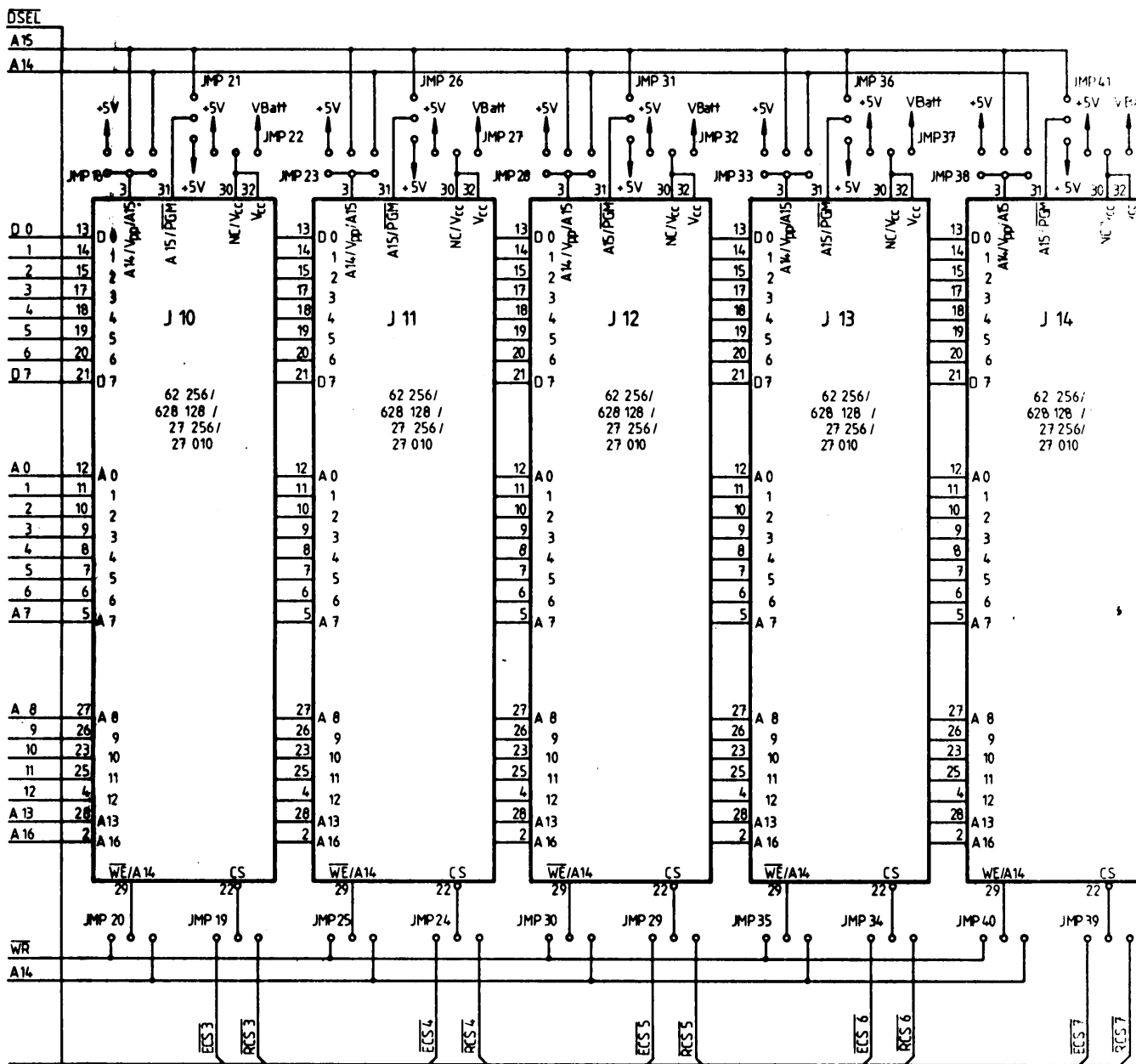
In unserer Zeitschrift LOOP wird regelmäßig über neue Produkte und Änderungen bzw. Verbesserungen berichtet. Es ist für Sie von großem Vorteil, LOOP zu abonnieren, denn dadurch ist sichergestellt, daß Sie auch immer über die neuesten Informationen verfügen.

Ein LOOP-ABO können Sie bei jeder Bestellung einfach mitbestellen.

Auch auf der Kritikkarte können Sie ein LOOP-Abo ganz einfach bestellen.

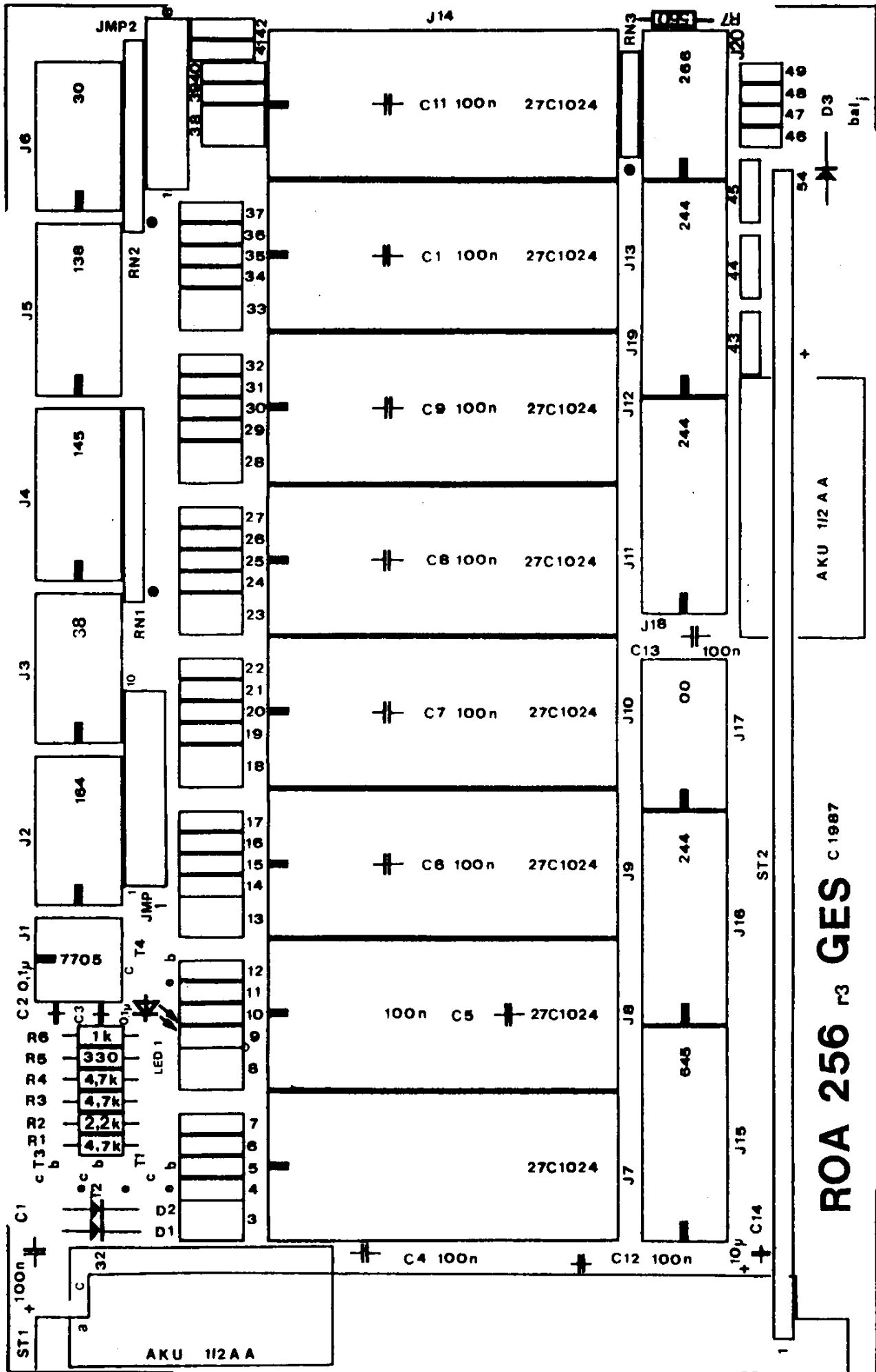
Anhang A: Schaltplan





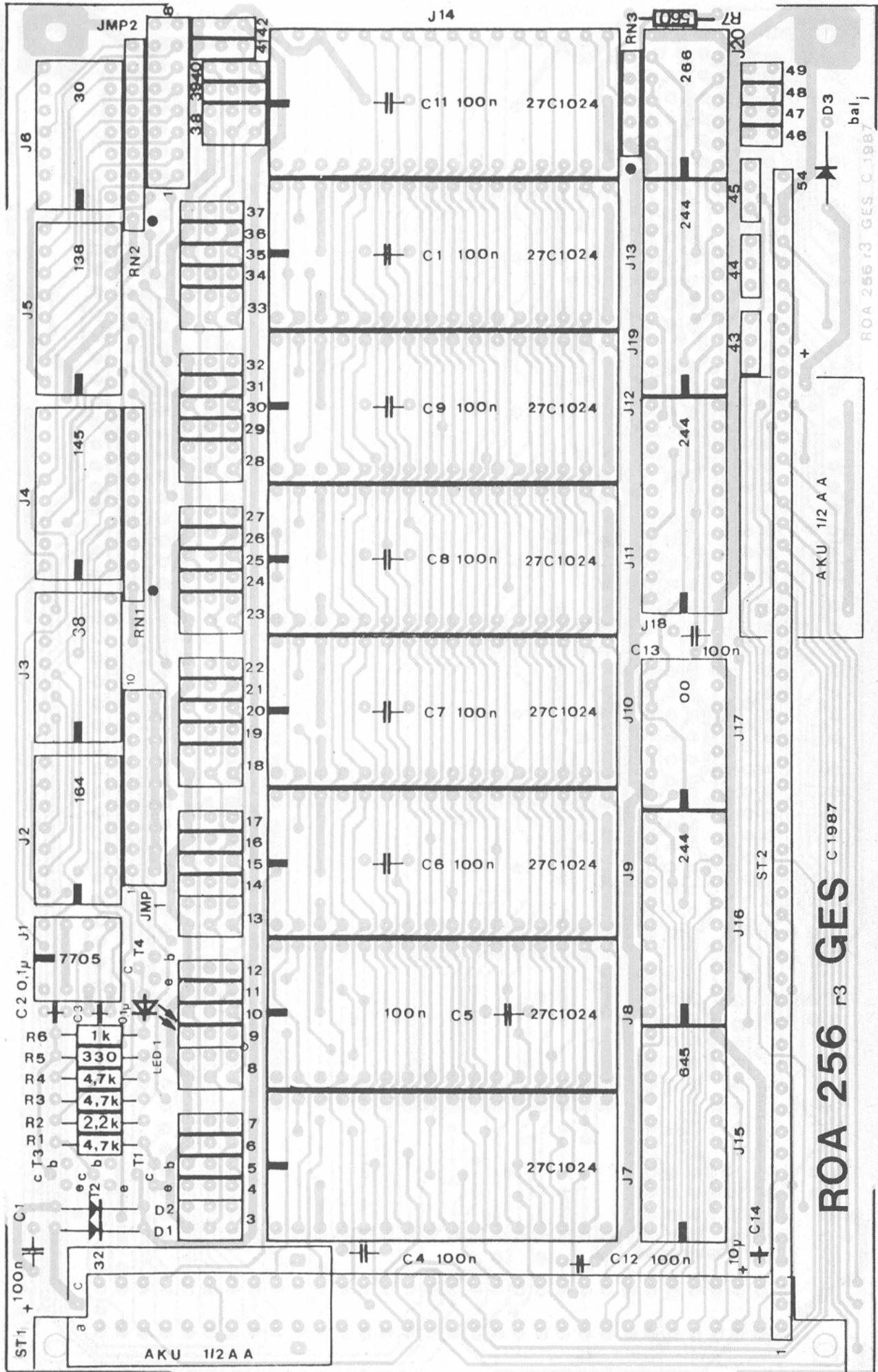
ROA 256		
B Schmid	Ausg 1	7.8.1987

Anhang B: Bestückungsplan

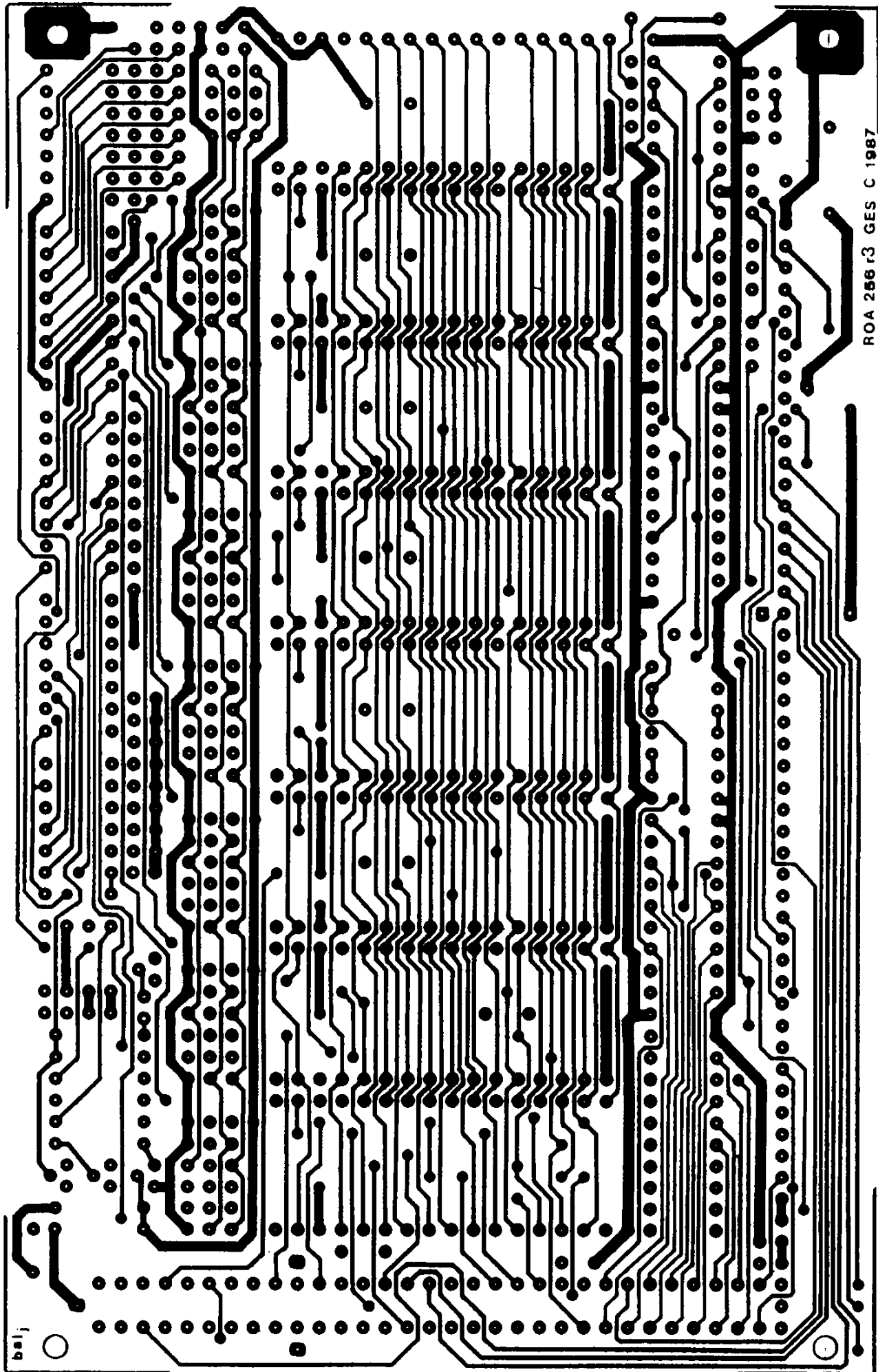


ROA 256 r3 GES C1987

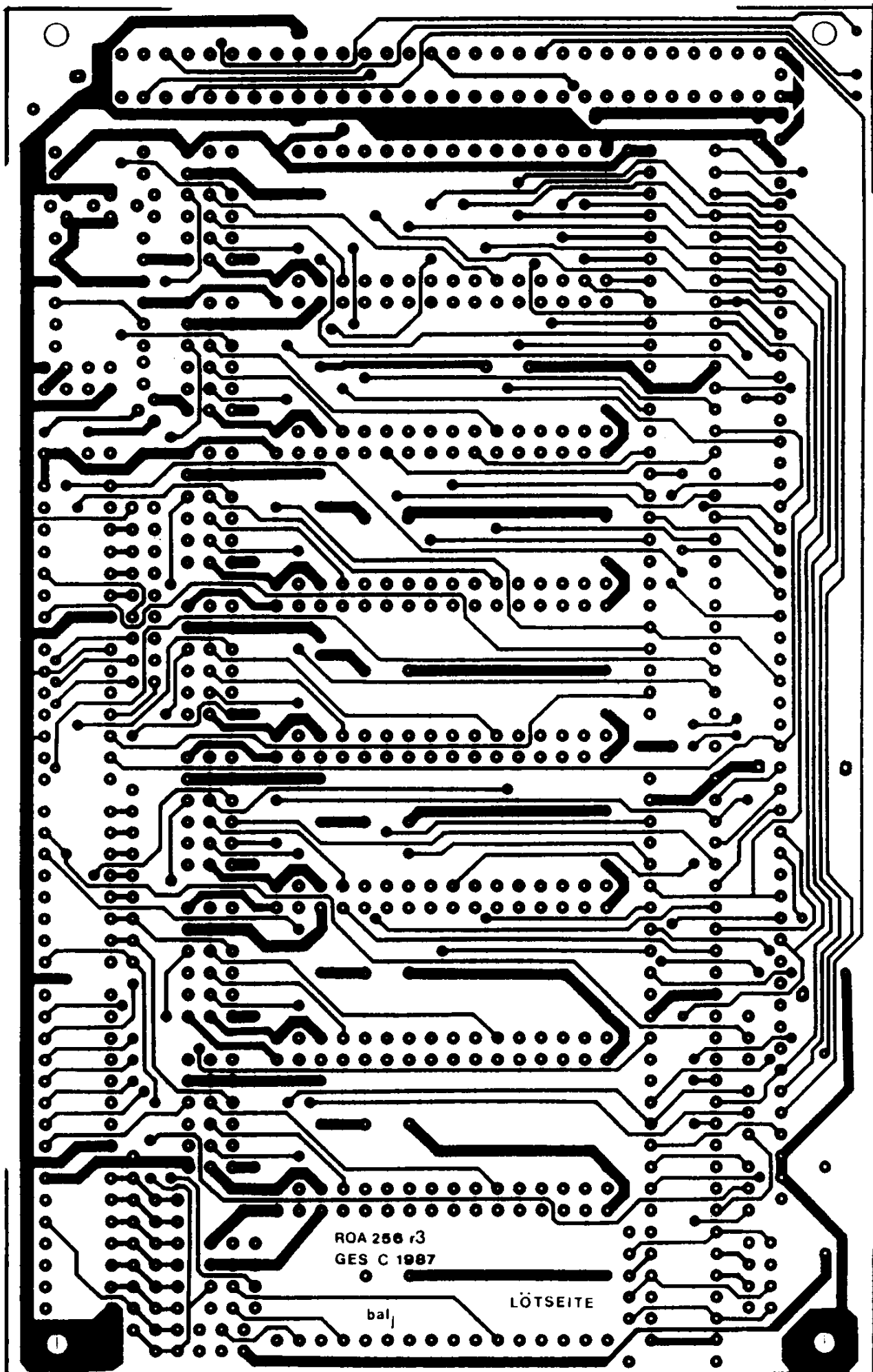
Anhang C: Layout Bestückungsseite mit Bestückungsdruck



Anhang D: Layout Bestückungsseite



Anhang E: Layout Lötseite



ROA 256 r3
GES C 1987

bal

LÖTSEITE