



RAM64/256

Die dynamische
Speicherkarte mit
64 KByte oder 256 KByte
für den NDR-Computer

Stand: August 1985

Graf Elektronik Systeme GmbH
Magnusstr. 13 Postfach 1610
8950 Kempten (Allgäu)
Telefon (0831) 6211
Telefax 831804 = GRAF
Telex: 17 831 804 T.GRAF

Filiale Hamburg
Ehrenbreitstraße 58
2000 Hamburg 50
Telefon (040) 388151
Filiale München
Georgstraße 61
8000 München 40
Telefon (089) 2-715838



Inhalt:	Seite
1 Einführung	1
1.1 Zum NDR-Klein-Computer	1
1.2 Wozu dient die RAM64/256	2
1.3 Wie setzt man die RAM64/256 ein	2
2 Technische Daten	2
3 Prinzipbeschreibung	3
3.1 Wie funktionieren dynamische RAMs	3
3.2 Wie funktioniert die RAM64/256 prinzipiell	3
4 Aufbauanleitung	4
4.1 CMOS-Warnung	4
4.2 Stückliste	4
4.3 Bestückungsplan	6
4.4 Layout Bestückungsseite mit Bestückungsplan	6
4.5 Layout Bestückungsseite	7
4.6 Layout Lötseite	7
4.7 Aufbau Schritt für Schritt	8
5 Testanleitung	10
5.1 Erste Prüfung ohne ICs	10
5.2 Test im System (ohne Meßgeräte)	10
5.3 Test mit anderen Baugruppen	15
6 Fehlersuchanleitung	16
6.1 Mögliche Fehler und ihre Behebung	17
6.2 Wenn die RAM64/256 nur ein bißchen geht...	18
7 Schaltungsbeschreibung	20
7.1 Schaltplan	20
7.2 Funktionsbeschreibung der RAM64/256	21
8 Anwendungsbeispiele	26
8.1 Die RAM64/256 in 68008-Systemen	26
8.2 Die RAM64/256 in Z80-Systemen	26
8.3 Belegungsmöglichkeiten der Jumper	27
9 Diverses, Ausblick	28
10 Original-Herstellerunterlagen der ICs	29
11 Die Zeitschrift LOOP	36

1. Einführung

1.1 Zum NDR-Klein-Computer

Der NDR-Klein-Computer wird in der Fernsehserie "Mikroelektronik - Mikrocomputer selbstgebaut und programmiert" aufgebaut, erklärt und in Betrieb genommen. Diese Serie wird vom Norddeutschen Rundfunk, vom Sender Freies Berlin, vom Bayrischen Fernsehen und von Radio Bremen ausgestrahlt. Es werden bald auch die Regionalsender anderer Bundesländer die Sendung in ihr Programm aufnehmen. Zur Serie gibt es einige Begleitmaterialien, es ist daher nicht unbedingt notwendig, die Fernsehserie gesehen zu haben, um den NDR-Klein-Computer zu bauen und zu begreifen:

- Buch: Rolf-Dieter Klein,
"Mikrocomputer selbstgebaut und programmiert"
2., neu bearbeitete und erweiterte Auflage
ISBN 3-7723-7162-0, DM 38,--
erschienen im Franzis-Verlag, München
Bestellnummer: 8001
Auf diesem Buch baut die NDR-Serie auf

- Sonderhefte der "mc":
"Mikrocomputer Schritt für Schritt"
Bestellnummer: SONDERNDR
"Mikrocomputer Schritt für Schritt Teil 2"
Bestellnummer: SONDERH2

- Zeitschriften "mc" und "ELO" des Franzis-Verlages

- Videocassetten:
lizenzierte Originalcassetten für den
privaten Gebrauch
Auf diesen zwei Cassetten sind die 26 Folgen
der Fernsehserie enthalten.
Systeme: VHS, Beta, Video 2000
Preise: siehe gültige Preisliste

1.2 Wozu dient die RAM64/256?

Die RAM64/256 ist eine Speicher-Baugruppe, die bis zu 256KByte RAM-Speicher aufnehmen kann. Da zwei verschiedene Speichertypen (der 4164 mit 64K*1 Bit und der 41256 mit 256K*1 Bit) leicht erhältlich sind, kann man die Speicherbaugruppe RAM64/256 sowohl mit 64KByte als auch mit 256KByte betreiben.

Dem Anwender steht damit eine leichte Möglichkeit offen, sein System mit einem großen Arbeitsspeicher auszustatten, da die dynamischen RAM-Bausteine nun (8/85) sehr preisgünstig erhältlich sind.

1.3 Wie setzt man die RAM64/256 ein?

Die Schaltung der RAM64/256 wurde sehr einfach gehalten. Es wurde bei ihrer Entwicklung Wert darauf gelegt, daß sie mit allen Prozessortypen, für die Karten für den NDR-Computer existieren oder für die Zukunft geplant sind, arbeiten kann. Durch Ihre Einfachheit und da sie keine speziellen integrierten Bausteine enthält, hat die RAM64/256 gegenüber einer ROA64 mit statischen Speichern aber auch einen Nachteil: Die Baugruppe benötigt Wartezyklen, um arbeiten zu können.

Dies macht sie leider ungeeignet für Systeme, bei denen es auf allerhöchste Geschwindigkeit ankommt. Hier sind statische RAM-Speicher, z.B. unsere ROA64 mit 8*8KByte besser geeignet.

Bei Systemen, bei denen es dagegen auf einen großen Speicherbereich ankommt, der ja z.B. auch von der 68008- oder 68000-CPU problemlos adressiert werden kann, ist doch noch ein großer Preisvorteil gegenüber einer ROA64 bemerkbar.

Siehe hierzu auch Kapitel 8.

2. Technische Daten

Spannung:	+5V
Stromaufnahme:	voll bestückt mit 256KByte ca. 450 mA
Bus Format:	NDR-Klein-Bus 54-polig
Größe der Leiterplatte:	145 mm * 78 mm
Speicherkapazität:	64KByte oder 256KByte (nach Bestückung)

2. Prinzipbeschreibung

2.1 Wie funktionieren dynamische RAMs?

Dynamische RAMs sind in ihrer Funktion und Ansteuerung komplizierter als statische RAMs. Die einzelnen Speicherstellen auf einem dynamischen RAM-Chip können jedoch viel kleiner sein als die von statischen RAMs, daher ist die Kapazität bei gleicher Größe und gleichem Preis oft viermal so groß. Trotzdem werden die DynRAMs in kleineren Gehäusen geliefert. Das liegt einfach daran, daß nicht jede Adressleitung ihren eigenen Pin hat, wie dies bei den statischen RAMs der Fall ist, sondern jeweils zwei Adressleitungen an einem Pin liegen.

Der Adressbus ist in zwei Hälften aufgeteilt: Zunächst wird die obere Hälfte des Adressbus an die Chips gelegt; dies zeigt das Signal -RAS an - und dann wird die untere Hälfte des Adressbus an die Bausteine geführt und dies wird durch das Signal -CAS angezeigt. Ein Gedankenstrich vor dem Signal bedeutet: dieses Signal ist "Null"-Aktiv. Manchmal wird ein "*" angegeben, in Schaltplänen wird der Strich über das Signal geschrieben. Diese beiden Signale (-RAS und -CAS) besitzen am Chip eigene Anschlüsse. Ausserhalb des Chips muß in der Baugruppe dafür gesorgt werden, daß die jeweils richtige Adresse am Chip anliegt. Des weiteren hat jeder DynRAM-Chip nur zwei Datenleitungen (ein Ein- und ein Ausgang), d.h. er ist zu 64K*1Bit oder 256K*1Bit organisiert.

Das Problem der dynamischen RAMs ist eben das "dynamische". Die Speicherzellen sind nicht wie bei statischen RAMs kleine Flip-Flops, die eine einmal eingeschriebenen Wert immer beibehalten, sondern sind mit Hilfe von kleinen Kondensatoren realisiert (siehe Kapitel 10). Diese verlieren leider schnell ihren Inhalt (durch kleine Leckströme). Daher muß dieser Inhalt wieder "aufgefrischt" (to refresh) werden. Dies geschieht bei jedem Lesen und Schreiben automatisch. Aber auch ein Lesevorgang, bei dem die Daten vom Computer nicht weiterverwendet werden, bewirkt einen Refresh.

2.2 Wie funktioniert die RAM64/256 prinzipiell?

Die acht Speicherbausteine auf der RAM64/256 werden durch einen Adressvergleicher ausgewählt. Bei jedem Zugriff der CPU-Baugruppe auf den Bus wird ein Refresh-Zyklus auf der RAM64/256 eingeleitet. Danach wird erst der Lese- bzw. Schreibzugriff der CPU auf den Speicher durchgeführt. Der Refresh wird durch einen Zähler ermöglicht, der bei jedem Zugriff erhöht wird, damit immer andere Speicherzellen aufgefrischt (refreshed) werden. Die Erzeugung der komplizierten Zugriffssteuersignale wird von einem Schieberegister erledigt, das von einem Quarzoszillator getaktet wird. Damit ist die Einhaltung der Herstellerspezifikationen gesichert.

4. Aufbauanleitung

4.1 CMOS-Warnung

CMOS-Bausteine sind hochempfindlich gegen elektrostatische Aufladung!

Bewahren oder transportieren Sie CMOS-Bausteine nur auf dem leitenden Schaumstoff! (Alle Pins müssen kurzgeschlossen sein)

Tip: Fassen Sie an ein geerdetes Teil (z.B. Heizung, Wasserleitung oder an den Schutzkontakt der Steckdose, bevor Sie einen Baustein berühren.

Bitte beachten Sie hierzu auch den Artikel "Schutzmaßnahmen für MOS-Schaltungen" in unserer Zeitschrift LOOPS.

4.2 Stückliste

Bezeichnung in der Schaltung	Name, Funktion, Nr. im Bild 1
IC1, IC2, IC5, IC6, IC7	74LS153, Multiplexer
IC3, IC4	74LS161, Zähler
IC8	74S04, Inverter
IC9	74LS74, D-Flip-Flop
IC10..IC17	4164 oder 41256 (oder Baugleiche), Speicher, nicht im Bausatz enthalten
IC18	74LS02, NOR-Gatter
IC19	74LS164, Schieberegister
IC20, IC22	74LS244, unidirektionale Bustreiber
IC21	74LS32, OR-Gatter
IC23	74LS05, Inverter mit offenem Kollektor
IC24	74LS85, Vergleicher
Q1	SG31, 24MHz, integrierter Quarz-Oszillator
2 *	20-polige IC-Fassung
16 *	16-polige IC-Fassung
6 *	14-polige IC-Fassung
R1..R7, R10, R11, R13..R15	33 Ohm, 1/8 Watt, Widerstände Farbcode orange-orange-schwarz Bild Nr. 1
R8, R9, R12, R16..R26	1 kOhm, 1/8 Watt, Widerstände Farbcode braun-schwarz-rot Bild Nr. 2

C1..C6, C8..C12, C14,
C15, C16

100 Nanofarad Kondensator
Bild Nr. 7

C7, C13, C17, C18

10 Mikrofarad, 16V Kondensator
Bild Nr. 4

1 *

Leiterplatte RAM64/256

JMP1

1 * 2-polige Stiftleiste, gerade
Bild Nr. 6

JMP2

entfällt, ist auf der Platine
voreingestellt

JMP3

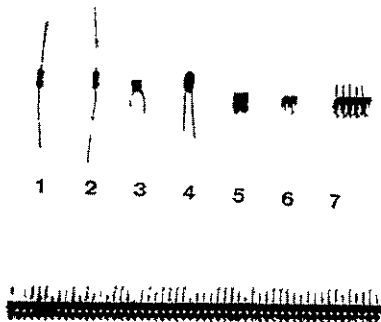
1 * 8(2x4)-polige Stiftleiste,
gerade und
1 * 2-polige Stiftleiste, gerade
Bild Nr. 7

5 *

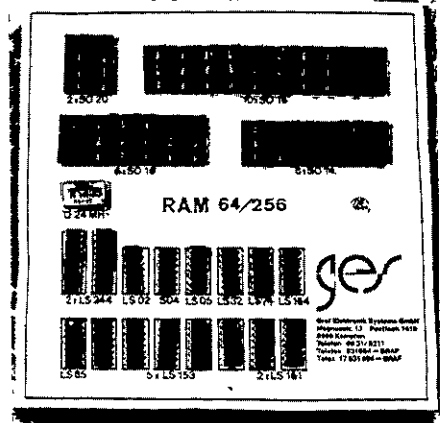
Shuntstecker
Bild Nr. 5

1 * Stiftleiste

1 * 36-polige und 1 * 18-polige
Stiftleiste, abgewinkelt,
Bild Nr. 8

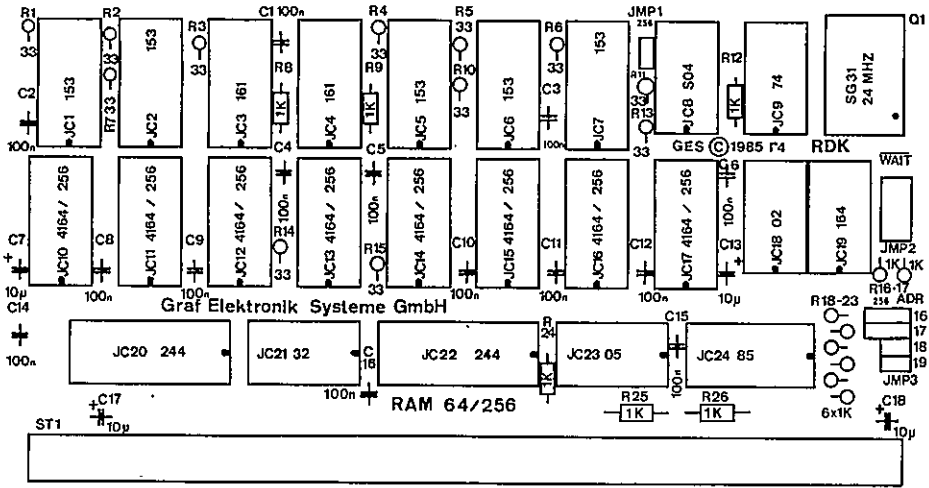


8

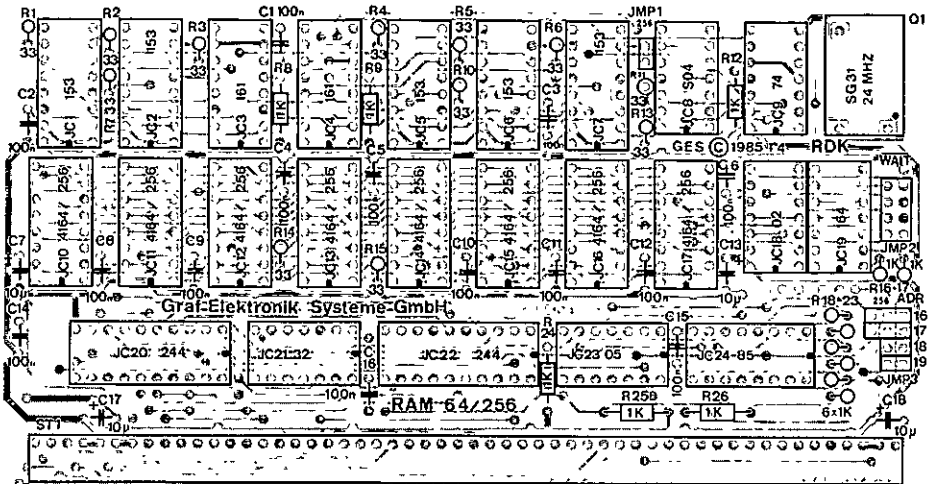


Geräte-Systeme GmbH
Postfach 1410
3000 Hannover
Telefon: 05131/5211
Telex: 51066-BAUF
Tele: 17 501 004-BAUF

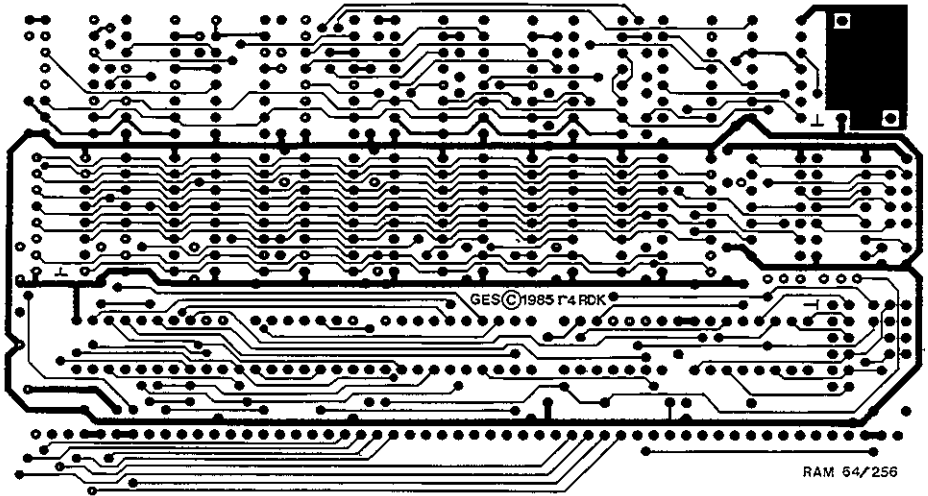
4.3 Bestückungsplan



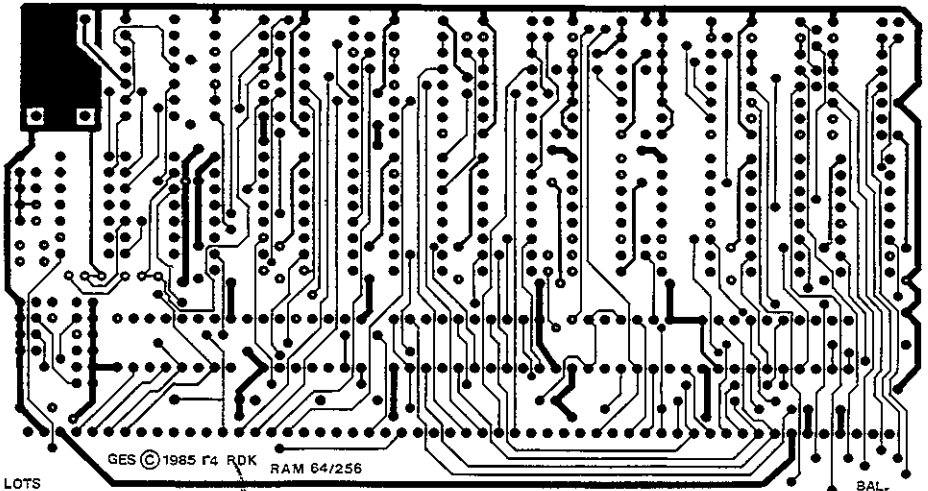
4.4 Layout Bestückungsseite mit Bestückungsplan



4.5 Layout Bestückungsseite



4.6 Layout Lotseite



4.7 Aufbau Schritt für Schritt

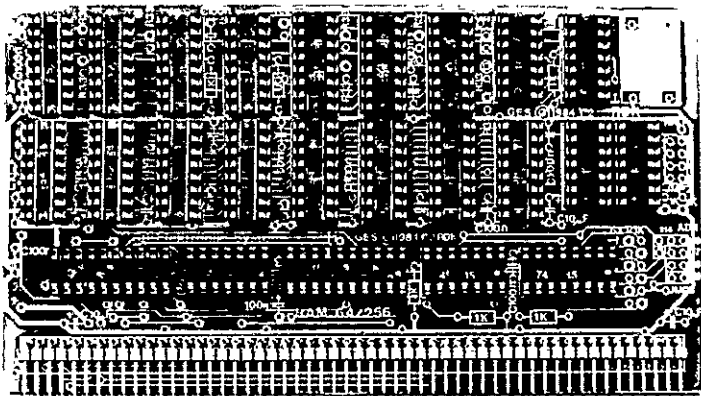
Auf einer Seite der Platine steht der Hinweis "lötS" (Lötseite); auf dieser Seite wird ausschließlich gelötet. Die Bauteile sind nur auf der anderen Seite aufzustecken, der Bestückungsseite, die auf Bild 5 zu erkennen ist. Beim Einlöten der Bauelemente beginnt man am besten mit der gewinkelten Steckerleiste. Es sollte darauf geachtet werden, daß die Leiste parallel zur Platine liegt, um gut auf den Bus gesteckt werden zu können. Dabei sollten zuerst die beiden äußeren Stifte und einer in der Mitte verlötet werden. Dann empfiehlt es sich nachzuschauen, ob die Stecker parallel zur Platine liegen und ob keine "Bäuche" zwischen den verlöteten Stiften liegen. Sollten "Bäuche" vorhanden sein, muß wiederum in der Mitte der "Bäuche" ein Stift unter Druck angelötet werden. Liegt die Steckerleiste dann richtig, können die restlichen Stifte angelötet werden.

Als nächstes wird die Platine mit den IC-Sockeln bestückt. Dabei muß darauf geachtet werden, daß die Sockel richtig aufgesteckt werden. Im Bestückungsplan sind die Richtungen mit einer Kerbe gekennzeichnet. Sie muß mit der Richtung der Kerbe in der Fassung übereinstimmen. Außerdem ist die Lage der Fassungen auch auf der Bestückungsseite der Platine durch den Aufdruck sehr deutlich zu erkennen.

Es sollten alle Fassungen auf einmal aufgesteckt werden und zum Verlöten umgedreht werden; dabei ist es hilfreich, wenn man beim Umdrehen die Fassungen mit einem Stück Karton auf die Platine drückt. So wird erreicht, daß die Fassungen alle eben und gerade liegen.

Beim Löten sollten wiederum nur zwei Pins jeder Fassung (möglichst diagonal) verlötet werden. So können anschließend schräg liegende Fassungen noch problemlos korrigiert werden.

Bevor die restlichen Pins verlötet werden, sollte noch auf die Bestückungsseite geschaut werden, ob die Fassungen richtig liegen und die Richtungen der Fassungen stimmen. Bild 7 zeigt eine mit IC-Sockeln bestückte Leiterplatte.



Die Kondensatoren C7, C17, C16 und C18 sind gepolt und dürfen auf keinen Fall falsch herum eingelötet werden. Der Pluspol ist mit einem "+" und evtl. einem schwarzen Strich gekennzeichnet. Im Bestückungsplan ist der Pluspol ebenfalls mit einem "+" gekennzeichnet.
Die Kondensatoren C1..C6, C8..C12, C14, C15 und C17 sind ungepolt und können ohne auf die Polung zu achten eingelötet werden.

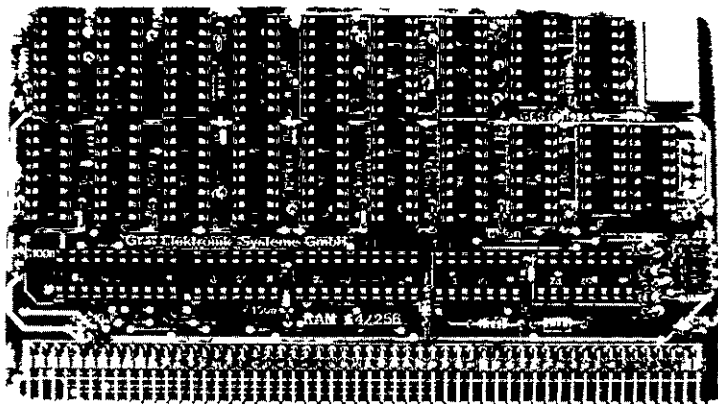
Der Quarz sollte erst nach dem ersten Test eingelötet werden. Auf jeden Fall ist bei ihm auf die richtige Polung zu achten. Diese wird durch den kleinen schwarzen Punkt auf dem Quarzbaustein angezeigt. Dieser Punkt liegt wie bei ganz normalen ICs an Pin 1. Der Quarz wird also in genau der gleichen Fichtung wie die danebenliegenden ICs eingelötet.

Nun werden noch die Stiftleisten für die Jumper 1 und 3 eingelötet. Bei JMP7 sollte man vor dem Festloten einen Jumper auf die Brücke A stecken, damit man nachher keine Probleme damit hat.

Wenn Sie die RAM64/256-Baugruppe fertig aufgebaut haben, dann müssen Sie nur noch die Jumper aufstecken und die Baugruppe ist bereit für den ersten Test.

Jumper 1: gesteckt bei 256K-Bausteinen
offen bei 64K-Bausteinen
Jumper 2: entfällt, da -WAIT bereits auf der Platine voreingestellt ist.
Jumper 7: A nur bei 256K-Bausteinen gesteckt
B nur bei 256K-Bausteinen gesteckt
A18 und A19 bei 256K-Bausteinen Adress-Auswahl (siehe Kapitel 7.2)
A16..A19 bei 64K-Bausteinen Adress-Auswahl wie bei RDA64.

Bild 8 zeigt eine komplett mit passiven Bauteilen bestückte RAM64/256, allerdings ist der Quarzoszillator schon eingelötet.



5. Testanleitung

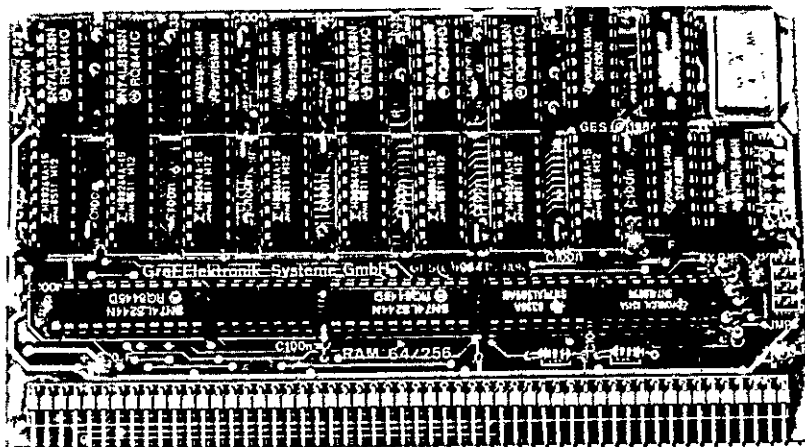
5.1 Erste Prüfung ohne ICs

Die Platine ist bis jetzt erst mit den Sockeln und mit den passiven Bauelementen bestückt. Mit diesem Aufbau wird der erste Test durchgeführt.

Man mißt, ob an allen IC-Sockeln die Versorgungsspannung von 5V ankommt. Achtung: bei den Speicherbausteinen liegt an Pin 8 +5V und an Pin 16 Masse. Dies ist völlig in Ordnung, denn bei den Speicherbausteinen ist es genau andersherum als bei TTL-Bausteinen (wohl um die Leute zu veräppeln...). Nun können alle ICs eingesetzt werden. Dabei muß auf die Richtung der ICs geachtet werden. Die Markierung auf dem IC muß mit der Kerbe in der Fassung übereinstimmen.

Auch sollte nun der Quarz-Oszillator eingelötet werden. Bitte achten Sie dabei auf die Markierung, den kleinen schwarzen Punkt, der wie bei ICs den Pin 1 markiert. Der Quarz wird in der gleichen Richtung wie die ICs eingesetzt, der Punkt liegt also in Richtung JMP2. Löten Sie sehr kurz und vorsichtig, um den empfindlichen Oszillator nicht zu zerstören.

Achten Sie beim Einsetzen der Baugruppe in den Bus darauf, daß Sie die Baugruppe richtig einstecken. Ein falsches Einstecken, z.B. um ein Bus-Loch zu weit rechts oder falsch herum zerstört evtl. einige Bausteine.



5.2 Test der RAM64/256 im System

Achtung: Bitte nehmen Sie zum Einsetzen und Entfernen von ICs oder sonstigen Bauteilen immer die Baugruppe aus dem System, aber NUR BEI AUSGESCHALTETER STROMVERSORGUNG!!!

5.2.1 Test mit einem 68008-System

Wenn möglich, verwenden wir zum Test einen NDR-Computer mit 68008-CPU, da bei einem Z80-System schon ein 64KByte großer RAM-Speicher zu viele Probleme bereiten würde. In unserem System befindet sich das Grundprogramm auf einer ROA64 auf der Adresse 00000. Auf der RAM64/256 wollen wir 64K-Bausteine einsetzen und haben daher die Brücken A16-A19 so gesteckt, daß die RAM64/256 ab der Adresse 40000 liegt. Dazu müssen die Brücken A16, A17 und A19 geschlossen sein, A18 bleibt offen:

```

-      A16
, -    A17
      A18
-     A19          (siehe auch Kapitel 8)

```

Die Brücke JMP1 bleibt offen. Der Speicherbereich geht hierbei von 40000 bis 4FFFF.

Wollen Sie jedoch unbedingt gleich 256K-Bausteine einsetzen, müssen Sie die Brücken anders setzen.

Zuerst mal muß JMP1 geschlossen werden. JMP1 sieht so aus:

```

-     A16
-    A17
  \   A18
   \  A19          (siehe auch Kapitel 8)

```

Auch hier ist die Adresse nun 40000, aber der Bereich ist größer: er geht von 40000 bis 7FFFF.

Fall sich nach dem Einschalten das Grundprogramm nicht mehr meldet, liegt ein grober Fehler vor, meist ein Kurzschluß. Sehen Sie bitte in Kapitel 6 nach, welche Fehlerursachen möglich sind und wie man sie beheben kann.

Meldet sich das Grundprogramm, kann man es wagen, die Speicher einzusetzen. Auch hierbei achten Sie bitte auf die Orientierung von Pin 1! Hinweis: bei den Speicherbausteinen liegt an Pin 16 Masse und an Pin 8 +5V.

Gehen Sie nun im Grundprogramm in das Menu Speicherbereiche. Sie sehen nun entweder einen Balken von 40000-4FFFF (64K-Bausteine) oder 4 Balken von 40000-7FFFF (256K-Bausteine). Sollte das nicht der Fall sein, so können Sie davon ausgehen, daß irgendetwas nicht so ganz in Ordnung ist. Durchdenken Sie bitte noch einmal kurz Ihre Vorgehensweise, bevor Sie sich an eine große Fehlersuche machen (siehe auch Kapitel 6).

Ein kleines Testprogramm (grober Funktionstest):

```

start:
    lea $40000,a0
    lea $80000,a1
loop:
    move.b 0,(a0)
    cmp.b 0,(a0)
    bne error          * Sprung im Fehlerfall
    not.b (a0)         * $FF reinschreiben
    cmp.b FF,(a0)
    bne error
    adda.l    ,a0
    cmpa.l a0,a1
    bne loop
    rts
error:
    dc.b $FF,$FF          * im Fehlerfall LINEF
                        * hervorrufen, um die
                        * Fehlerstelle zu
                        * lokalisieren

```

Die Adresse der fehlerhaften Speicherzelle steht in A0. Nun kann man im Menü "ändern" diese Speicherzelle einzeln testen.

5.2.2 Test mit einem Z80-System

Schade, daß Sie kein 68008-System besitzen, denn damit wäre der Test viel einfacher. So können wir beim Z80 den Test nur in kleinen Schritten durchführen.

Zuerst mal hoffen wir, daß die Baugruppe funktioniert. Für den Test benötigen Sie die BankBoot-Baugruppe, bestückt mit dem EFLOMON und 2 RAMs 6116 (oder einem RAM 88, je nach EFLOMON-System bzw. BankBoot-Karte). Die Brücken auf der RAM64 werden wie üblich gesteckt: Bei Bestückung mit 4164-Bausteinen ist JMP1 offen, bei Bestückung mit 41256-Bausteinen ist JMP1 geschlossen.

Belegung von JMP3 bei 4164-Bausteinen:

```

x x-x   A16
x x-x   A17
  x-x   A18
  x-x   A19

```

Belegung von JMP3 bei 41256-Bausteinen:

```

x-x x   A16
x-x x   A17
  x-x   A18
  x-x   A19

```

Setzen Sie nun die fertig bestückte Karte ein und schalten Sie den Computer ein. Wenn sich nach kurzer Zeit noch nichts auf dem Bildschirm zeigt, können Sie getrost den Computer wieder ausschalten, denn etwas ist nicht in Ordnung. Kontrollieren Sie bitte zuerst Ihre bisherige Vorgehensweise, ob alle Jumper richtig gesteckt sind, alle ICs richtig herum in den Fassungen stecken, alle benötigten Platinen auf dem Bus stecken, Spannungsversorgung in Ordnung ist usw. (siehe Kapitel 6)

Wenn sich EFLDMON meldet, können Sie aufatmen: fürs erste scheint Ihre RAM64/256 zu funktionieren. Doch nun folgen noch weitere Tests, ehe Sie von ihrer Funktion überzeugt sein können.

Wenn Sie auf dem zweiten Steckplatz der BankBoot ein Eprom EGFU2000 stecken haben, können Sie nun
 7 = Go Bank 2000h
 aufrufen, dann meldet sich das Z80-Grundprogramm. Sonst können Sie auch EGRUND auf eine ROA64 auf Adresse \$E0000 legen und dort starten mit
 2 = Go E0000h

Gehen Sie in das Menu "aendern", geben Sie als Adresse "8000" ein. Geben Sie nun "77" als Wert ein und beobachten Sie die Anzeige. Steht "77" als Wert bei der Adresse "8000"? Wenn ja, zahlen Sie bitte bis 100, dann gelangen Sie durch Eingabe von "-" und Betatigen der Return-Taste wieder auf die Adresse "8000". Steht dort immer noch "77", so machen Sie die gleiche Prozedur bitte noch einmal mit dem Wert "AA". Erscheint auch dieser Wert nach 1-2 Minuten wieder auf dem Schirm, so können Sie damit rechnen, daß Ihre RAM64/256 in Ordnung ist. Sollten beim Betrieb der RAM64/256 häufiger Fehler auftreten (-B. Absturz des Rechners), so sehen Sie bitte in Kapitel 6 nach.

Kleine Testprogramme, die die Funktion der RAM64/256 testen, sind beim Z80 schwierig zu schreiben. Es ist zu beachten, daß in dem Bereich, wo das Programm selbst sowie der Z80-Stack liegen, keine Speicherzellen verändert werden dürfen. Hier sind also tatsächlich nur einzelne Speicherzellen auf korrekte Funktion prüfbar. Ein hervorragendes Speichertestprogramm für Fortgeschrittene wäre das Erasmus-Programm, welches unter CF/M läuft. Es gibt nur einen Ausweg: wenn Sie eine ROA64 besitzen, können Sie sich folgende Konfiguration aufbauen:

- eine ROA64 auf Bank 0 legen:
 Belegung von der Adress-Jumperleiste auf der ROA64:

- A16
 - A17
 - A18
 - A19

Es muß unbedingt ein statische RAM (6264) auf dem letzten Steckplatz (Adressbereich \$E000 bis \$FFFF) dieser ROA64 stecken, sonst funktioniert FLDMON nicht! Für das Grundprogramm benötigen Sie noch ein RAM auf dem fünften Steckplatz (Adressbereich \$8000 bis \$9FFF).

Belegung von JMP3 auf der RAM64 bei Bestückung mit
4164-Bausteinen: 41256-Bausteinen:

x x-x	A16	x-x x	A16
x x-x	A17	x-x x	A17
x x	A18	x x	A18
x-x	A19	x-x	A19

Nun kann man ein kleines Programm schreiben, welches auf der ROA64 ablaufen kann. Auf der RAM64/256 wird keine Speicherzelle benötigt, daher kann man dort jede Speicherzelle ausführlich testen. Allerdings liegt nun die RAM64/256 nicht mehr im direkten Adressierungsbereich der CPUZ80, denn diese kann ja bekanntlich nur 64KByte adressieren. Aber wir haben ja noch die BANKBOOT-Baugruppe. Diese ermöglicht uns eine Bankumschaltung, d.h. der Z80 kann auch auf eine andere Speicherbank zugreifen, und dort liegt unsere RAM64/256. Jetzt gibt es nur noch ein Problem: der Z80 schaltet immer die ganzen 64KByte auf einmal um, also ist auch sein Programm weg. Dieses muß daher auf der BANKBOOT-Baugruppe stehen, denn diese wird nicht mit umgeschaltet. Dazu gibt es im FLOMON ein Hilfsprogramm. Es startet auf der Adresse \$F05B im RAM, dort wo sich FLOMON selbst hinkopiert hat. Es kann 128 Byte aus einer Bank in eine andere kopieren. Es benötigt in Register C die Nummer der Bank, in der der Quellbereich steht und in Register B die Nummer der Zielbank. In DE soll die Startadresse des Zielbereichs stehen und in HL die Startadresse des Quellbereichs. Unser Testprogramm muß also folgendermaßen ablaufen:

- 128 Byte in Bank 0 mit \$00 füllen
- diese in Bank 4 transferieren (dort startet unsere RAM64/256)
- zurücklesen nach Bank 0 an einen anderen Bereich
- beide Bereiche vergleichen
- bei Gleichheit weitermachen, sonst Fehlermeldung
- 128 Byte in Bank 0 mit \$FF füllen
- diese in Bank 4 transferieren
- zurücklesen nach Bank 0
- beide Bereiche vergleichen
- bei Gleichheit weitermachen, sonst Fehler
- Zielbereich um 128 Byte weiterlegen, evtl. auf die nächste Bank umschalten
- Wenn fertig, ok-Meldung ausgeben

Dieses Programm würde jedoch sehr umfangreich sein. Daher können wir es leider nicht im Rahmen dieses Handbuchs veröffentlichen. Vielleicht wird es einmal in einer der nächsten LOOP veröffentlicht. Wir freuen uns über jede Zusendung eines funktionierenden RAM-Testprogramms - vielleicht veröffentlichen wir Ihre Version!

5.1 Test mit anderen Baugruppen

Treten bei der Benutzung Ihres Systems im bisher bei Ihnen gebräuchlichem Umfang häufiger Fehler auf, so testen Sie bitte jeweils die gleiche Arbeit an einem System ohne die RAM64/256. Treten dann die Fehler nicht mehr auf, so kann man eigentlich davon ausgehen, daß sie durch die RAM64/256 erzeugt werden. Es kann aber dann nur ein kleiner Fehler sein, etwa im Timing der Baugruppe oder ein Baustein, der nicht so ganz die vom Hersteller spezifizierten Daten einhält (siehe hierzu auch Kapitel 6.2).

6. Fehlersuchanleitung

ACHTUNG:

Der Betrieb einer RAM64/256 mit 256KByte Speicher kann eine kleine Nachjustierung des Netzteiles "Netz 2" erfordern.

Die nachfolgend beschriebene Maßnahme kann notwendig werden, wenn entweder beim Einschalten der Bildschirm dunkel bleibt, der Bildaufbau nur zum Teil erfolgt oder sich kein Laufwerk ansprechen läßt.

Der Grund für diese Nacheinstellung liegt beim technischen Aufbau der dynamischen Speicher-ICs "41256". Diese Bausteine arbeiten erst bei einer Spannung von mindestens 5,1V (64KByte-Speicher schon bei 4,7V). Da unsere Netzgeräte genau auf 5,0V eingestellt werden, ist eine Nachregulierung meist notwendig.

```
*****
*                               ACHTUNG                               *
* Die Spannungseinstellung muß unter Belastung erfolgen.          *
* Dadurch ist höchste Vorsicht bezüglich der Netzspannung         *
* geboten.                                                            *
*****
```

Zur Abhilfe:

1. Spannungsmesser am Bus "5V" anschließen (nicht am Netzgerät, da am Kabel bis zu 0,5V abfallen können)
2. Auf dem Netzteil befinden sich zwei Potentiometer, je eines für Strombegrenzung und für Spannung. Das Pot zur Spannungsregulierung wird langsam nach links gedreht, bis die Spannung etwa 5,1V erreicht. VORSICHT: Die Spannung nicht weiter erhöhen, da auf manchen Baugruppen Zenerdioden 5,1V die Spannung begrenzen.
3. Das System kann am besten überprüft werden, indem man eine Diskette einlegt und betreibt.

Bitte beachten Sie, daß Netzgeräte grundsätzlich belastungsabhängig sind. Sollten Sie Ihre Konfiguration wesentlich ändern (2-3 Baugruppen), ist es ratsam, die Busspannung (5V) neu zu überprüfen.

Sollte Ihre RAM64/256-Baugruppe bei den in Kapitel 5 beschriebenen Tests nicht funktionieren, so heißt es jetzt systematisch auf Fehlersuche zu gehen. Wir wollen Ihnen nun ein paar Vorschläge machen, wie eine systematische Fehlersuche mit und ohne Oszilloskop vor sich gehen kann:

6.1 Mögliche Fehler und ihre Behebung

- 6.1.1 Sind die bisher verwendeten Baugruppen in Ordnung?
(Funktioniert das System ohne die RAM64/256?)
- 6.1.2 Sind die Jumper richtig gesteckt?
(vergleiche Kapitel 8)
- 6.1.3 Machen Sie zuerst eine Sichtprobe. Können Sie irgendwo auf der Platine unsaubere Lotstellen (zuviel Lotzinn, manchmal zieht das Lotzinn auch Fäden) erkennen, die eventuell einen Kurzschluß verursachen könnten? Dann müssen Sie diese Lotstellen nachloten und die unzulässige Verbindung beseitigen.
- 6.1.4 Haben Sie auch alle ICs richtig herum am richtigen Platz aufgesteckt? (vergleiche mit Bestückungsplan)
- 6.1.5 Sind alle gepolten Bauteile (Elkos, Dioden, usw.) richtig herum eingelötet?
- 6.1.6 Haben Sie auch keine Lotstelle vergessen zu loten?
(sehen Sie lieber noch einmal nach)
- 6.1.7 Sehen Sie irgendwo "kalte Lotstellen"?
Kalte Lotstellen erkennt man daran, daß sie nicht glänzen, sie sind im Vergleich mit richtig gelöteten Lotstellen trübe.
- 6.1.8 Haben Sie auch nicht zu heiß gelötet?
Wenn der Lotkolben zu heiß eingestellt ist und (oder) Sie zu lange auf der Lotstelle bleiben, dann kann es passieren, daß sich die Leiterbahnen von der Platine lösen, und Unterbrechungen bilden. Ferner kann es auch passieren, daß Durchkontaktierungen unterbrochen werden, oder daß Bauteile durch zu heißes loten zerstört werden.
- 6.1.9 Nehmen Sie alle IC's aus ihren Fassungen. Nehmen Sie sich die Layouts zur Hand und kontrollieren Sie alle Leiterbahnen, mit einem Durchgangsprüfer oder mit einem Ohmmeter, auf Durchgang. Bereits kontrollierte Leiterbahnen können Sie auf dem Layout mit Bleistift durchstreichen.
- 6.1.10 Prüfen Sie die Versorgungsspannung mit einem Digital-Voltmeter (am Bus "5V", nicht am Netzgerät, da am Kabel bis zu 0,5V abfallen können). Hat Sie 5.0 V ? Toleranzen von +-5%, also von 4.75 V bis 5.25 V sind zulässig. Falls die Spannung zu gering ist, prüfen Sie, ob die Verbindung vom Netzteil zum Bus mit ausreichend dickem Draht (mind. 2 mm Quadrat) erfolgt ist. Gegebenenfalls müssen Sie Ihr Netzteil nachregeln. VORSICHT: nie über 5.25V nachregeln, sonst ...

Wenn Sie alle Leiterbahnen kontrolliert haben und nichts gefunden haben, dann ist die Wahrscheinlichkeit groß, daß ein Bauteil defekt ist.

Wenn Sie einen Prüfstift, oder ein Oszilloskop haben, dann können Sie jetzt überprüfen ob Sie an den jeweiligen Ausgängen die richtigen Signale haben. Welche Signale wo anliegen müssen können Sie aus der Schaltungsbeschreibung, aus dem Schaltplan und Ihren eigenen Überlegungen entnehmen.

Falls Sie keine Meßgeräte haben, dann müssen Sie alle Bauteile systematisch austauschen, bis Sie das Defekte gefunden haben.
Verwenden Sie dazu eventuell eine zweite Baugruppe (die eines Freundes oder eines Bekannten).

Sollten Sie gar nicht zurande kommen, hilft Ihnen unser Pauschal-Reparatur-Service, dessen Bedingungen Sie der Preisliste entnehmen können.

6.2 Wenn die RAM64/256 nur ein bißchen funktioniert

Auch daß kann vorkommen: Im Menü Speicherbereich sind in dem Bereich, in dem die RAM64/256 sein sollte, zwar Balken vorhanden, aber mit mehr oder weniger vielen kleinen Lücken. Auch wenn der Test im Ändern-Menü nur so ein ganz kleiner Erfolg bzw. Mißerfolg war, sollten Sie einmal folgendes versuchen:

Prüfen Sie die Stellung der Jumper.

Tauschen Sie IC für IC mit den ICs einer anderen RAM64/256 aus. Nach jedem Umtausch prüfen Sie bitte, ob die Änderung auch eine Änderung bei den Testergebnissen bewirkt. Wenn ja, sind Sie schon auf dem richtigen Weg...

Zu diesem Thema auch ein Auszug aus unserer Datenbank bzw. aus der Zeitschrift LÖDF3 (wichtig, falls Sie eine Platine mit r1 oder r2 haben. Ab r3 ist der Fehler behoben)

:Timing-Fehler der RAM64/256 r2:

Diese Baugruppe läuft nur, wenn IC8 (74LS04) gegen einen 74S04 und/oder IC18 (74LS02) gegen einen 74ALS02 getauscht wird.

Sie läuft mit LS-Bausteinen, wenn IC18 Pin 5-6 aus der Fassung entfernt (abgebogen) wird und die beiden Pins auf der Platine miteinander verbunden werden.

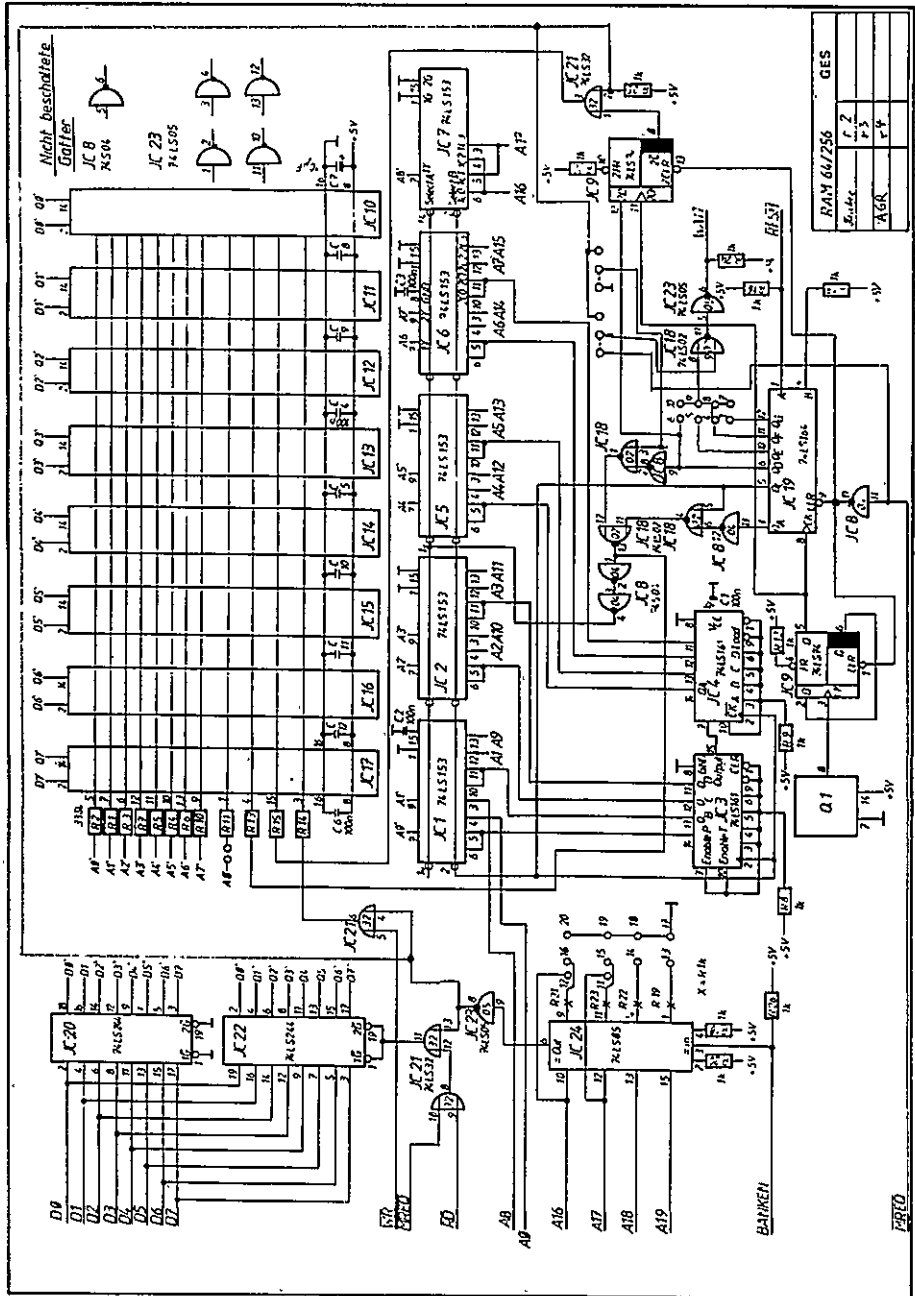
Achten Sie bitte auch auf die Beschreibungen zu Ihren anderen Platinen, ob dort eventuell Veränderungen durchgeführt werden müssen, um einen einwandfreien Betrieb sicherzustellen.

Sollten Sie diesen zugegebenermaßen oft recht hartnäckigen Fehler nicht beseitigen können, so hilft Ihnen auch hier unser Pauschal-Reparatur-Service
Revisions-übersicht:

- r1: Firmenintern, wurde nicht ausgeliefert
- r2: Als Bausatzversion ausgeliefert, Timing-Fehler kann durch Layout-Änderung und IC-Austausch behoben werden.
- r3: Fertigergerat RAM64 oder RAM256, Layout-Änderung von Hand ausgeführt, keine Timing-Fehler.
- r4: Neue Leiterplatte, ab 8/85 ausgeliefert.

7. Schaltungsbeschreibung

7.1 Schaltplan



7.2 Wie funktioniert die RAM64/256?

Bitte beachten Sie zu dieser Beschreibung den Schaltplan!

7.2.1 Adressierung der Baugruppe RAM64/256

Die Adresse der Baugruppe wird mit JMP3 eingestellt. Mit IC24, einem Vergleicher, wird die auf dem Bus liegende Adresse mit der eingestellten verglichen. Sind sie gleich, so ist die Baugruppe ausgewählt. Da man die Baugruppe mit unterschiedlichen Bausteinen betreiben kann (64K*1 oder 256K*1), gibt es verschiedene mögliche Adressbereiche

7.2.1.1 Bestückung mit 64K*1 Bausteinen (z.B. 4164)

Bei der Verwendung von 64K-Bausteinen darf JMP1 nicht gesteckt sein. Auch die Brücken A und B am JMP3 bleiben offen. Die Brücken A19 bis A16 werden zur Adressierung der Baugruppe verwendet. Dadurch kann der Adressbereich genau wie bei einer ROA64 ausgewählt werden (siehe Kapitel 8.3.)

7.2.1.2 Bestückung mit 256K*1 Bausteinen (z.B. 41256)

Hierbei muß die Brücke JMP1 gesteckt sein. Dadurch wird die Leitung AB* an die Bausteine geführt. AB* setzt sich aus den Adressleitungen A16 und A17 zusammen. Da sie nun zur Speicherplatzwahl direkt in den RAM-Bausteinen verwendet werden, sind sie zur Adressierung der RAM64/256-Baugruppe nicht mehr notwendig und sogar unerwünscht. Daher muß man beim Betrieb mit den 256K-Bausteinen die Brücken A und B am JMP3 einsetzen. Damit wird Pin 9 mit Pin 10 und Pin 11 mit Pin 12 am Vergleicher IC24 verbunden. Diese beiden zu vergleichenden Werte sind dadurch immer gleich, haben damit auf den eigentlichen Vergleichsvorgang keinen Einfluß mehr. Die Brücken A18 und A19 wählen also bei den 256K-Bausteinen den Adressbereich aus:

A19	A18	Bereich
gesteckt	gesteckt	00000-3FFFF
gesteckt	offen	40000-7FFFF
offen	gesteckt	80000-BFFFF
offen	offen	C0000-FFFFF

Bitte beachten Sie hierzu auch Kapitel 8.

Bei der letzten Einstellung (beide Brücken offen) ist allerdings nicht der ganze Bereich benutzbar, da von F0000-FFFFF der IO-Bereich liegt. Also ist nur der Bereich C0000-EFFFF ansprechbar, 64KByte RAM gehen verloren.

7.2.2 Wartezyklen

An dem Steckerfeld JMP2 wird die Anzahl der Wartezyklen eingestellt. Normalerweise ist diese Brücke bereits im Layout auf Position 3 festgelegt. Dadurch läuft die Baugruppe mit allen bisher getesteten Prozessoren. Durch eine Schaltungsänderung ab Revision 4 der RAM64/256 erzeugt diese Karte nur noch ein Wait-Signal, wenn sie angesprochen wird. Damit können statische Speicher mit voller Geschwindigkeit betrieben werden. Auf der Platine (ab r4) ist diese Version dann voreingestellt. Man kann dann jedoch in Problemfällen die alte Version wiederherstellen (z.B. bei modernsten Prozessoren bei hoher Taktfrequenz (z.B. 16MHz)).

7.2.3 Adressenmultiplex und Refresh

Die Bausteine IC1, IC2, IC5, IC6, IC7 haben die Aufgabe, die unterschiedlichen Adressen zu multiplexen (siehe hierzu Kapitel 3.1). Bei den dynamischen Speichern werden die 16 bzw. 18 Adressen nämlich nur über 8 bzw. 9 Leitungen übertragen, und zwar zeitlich hintereinander. (Nur dadurch war es möglich, die Gehäuse der Bausteine so klein zu halten.) Das Signal -RAS zeigt die Gültigkeit des ersten Adressteils an und das Signal -CAS die Gültigkeit des zweiten Adressteils.

Dynamische Speicher müssen "refresh" werden, damit sie ihren Speicherinhalt nicht verlieren (siehe hierzu Kapitel 3.1). Das bedeutet, daß alle 2ms (oder 4ms je nach Baustein) müssen 128 bzw. 256 verschiedene Reihen angesprochen werden. Dazu dienen die Zähler IC3 und IC4. Sie erzeugen eine 8-Bit-Adresse, die bei jedem Speicherzyklus erhöht wird. Die Reihen spricht man mit dem -RAS-Signal an, das dazu auch erzeugt wird. Der Refresh wird bei jedem Speicherzugriff ausgelöst, auch wenn die Baugruppe nicht adressiert wird. Dadurch werden die vom Hersteller vorgeschriebenen Bedingungen also immer eingehalten.

Auf der RAM64/256 koennen unterschiedliche Speicher eingesetzt werden: solche die 128 Refresh-Zyklen in 2ms und solche die 256 Refresh-Zyklen in 4ms benoetigen. Der Grund hierfür ist, daß die ersten das achte Bit in der Refresh-Adresse einfach ignorieren; daher werden erscheinen die 256 Refresh-Zyklen in 4ms aufgeteilt in 2 mal 128 Refresh-Zyklen in 2 mal 2ms.

Eine Besonderheit beim 68008 stellt der TAS-Befehl dar. Er führt einen sogenannten Read-Modify-Write-Zyklus durch. Dabei wird in einem Zugriff ein Wert gelesen und ein anderer geschrieben. Obwohl dieser Befehl eigentlich nur für Mehrprozessor-Anwendungen gedacht ist, wird er auch in mancher Anwendersoftware verwendet. Das besondere Timing zeigt 7 2.8

Achtung: Ältere Baugruppen (vor Revision 3) können den Befehl noch nicht ausführen. Um sie umzurüsten, muß man Pin 3 am IC18 vom Ausgang des IC19, Pin 11 auftrennen und an Masse legen.

Testprogramm für den TAS-Befehl mit dem Scop:

```
START:      TAS.B $40000      ; hier Adresse der Baugruppe
            BRA.S $AFT
```

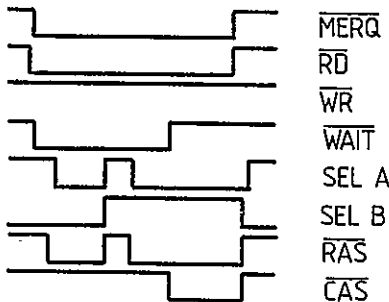
Dieses Programm läuft endlos bis zu einem Reset des Systems. Man kann hierbei sehr gut das Timing beobachten.

Programm zum testen des TAS-Befehls:

```
START:      CLR.B $40000      ; Byte = 0, Adresse der RAM64/256
            TAS.B $40000      ; setzt Bit 7 auf 1
            MOVE.B $40000,DO   ; Ergebnis im Einzelschritt in DO
            RTS
```

Dieses Programm führt man im Einzelschritt aus. Bei Erreichen des RTS-Befehls muß in DO.B der Wert \$80 stehen (die restlichen Bits 8 bis 31 sind ohne Bedeutung). Falls der Wert 0 in DO.B steht, besitzt man die RAM64/256 in der Revision 2 und sollte den oben beschriebenen Umbau vornehmen.

7.2.4 Timing-Diagramm beim Zugriff auf RAM64/256

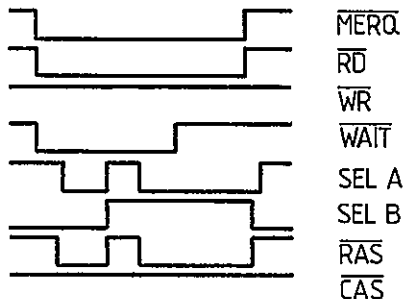


7.2.5 Beschreibung von 7.2.4

Oben sehen Sie das $\overline{\text{RD}}$ und $\overline{\text{MERQ}}$ -Signal. Hier wird gerade ein Zugriff gestartet. Dadurch wird die $\overline{\text{WAIT}}$ -Leitung auf 0 gelegt, denn die Speichergruppe kann erst nach kurzer Zeit reagieren. Dann wird das $\overline{\text{RAS}}$ -Signal erzeugt und dabei liegt das Signal SEL B (Select B, Pin 2 an den ICs 74LS153) auf 0, damit wird die Adresse vom Zähler IC3, IC4 an die Multiplexer-Ausgänge gelegt. Sie wird in die Speicher übernommen und bewirkt den Refresh. Nun folgt ein zweites $\overline{\text{RAS}}$ -Signal, bei dem SEL B auf 1 liegt, um die Prozessor-Adressen an die Speicher zu legen. Die Umschaltung zwischen den niederwertigen und höherwertigen Adressen geschieht mit SEL A (Select A, Pin 14 am 74LS153). Das SEL A-Signal wird kurz vor dem $\overline{\text{CAS}}$ -Signal umgeschaltet.

7.2.6 Timing-Diagramm, wenn nicht auf die RAM64/256 zugegriffen wird

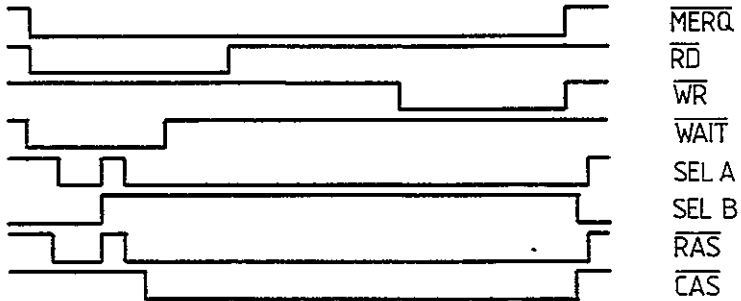
Achtung: Bei älteren Baugruppen (vor Revision 4) entspricht das Timing dem von 7.2.4, bis auf das kein $\overline{\text{CAS}}$ -Signal beim zweiten $\overline{\text{RAS}}$ -Zyklus erzeugt wird.



7.2.7 Beschreibung von 7.2.6

Hierbei wird, wie bei 7.2.5, ein erstes $\overline{\text{RAS}}$ -Signal für den Refresh erzeugt, jedoch folgt kein zweites, da ja auch kein Speicherzugriff auf die RAM64/256 erfolgt. Es wird kein $\overline{\text{WAIT}}$ -Signal erzeugt.

7.2.8 Timing-Diagramm beim TAS-Befehl des 68008.



8. Anwendungsbeispiele

8.1 Einsatz in 68008-Systemen

8.1.1 Eine Möglichkeit

Als RAM64 empfiehlt sich diese Baugruppe als dritte und vierte Bank.

1. Bank ROA64 mit EASSO-3 und 2*R8
2. Bank PASCAL und 4*R8
3. Bank RAM64
4. BANK RAM64

Als RAM256 ist diese Baugruppe am besten für den Betrieb mit CP/M68k geeignet. Sie liegt hierbei als erste Bank im Bereich 00000 bis 3FFFF. Die ROA64 mit dem Grundprogramm liegt bei E0000 und wird nun mit Hilfe der BANKBOOT-Baugruppe angesprochen (siehe auch Kapitel 8).

8.1.2 Der größte Ausbau (ohne BANKBOOT)

1. ROA64 mit EASSO-3 und 4*R8	32KByte RAM
2. RAM64	64KByte RAM
3. RAM64	64KByte RAM
4. RAM64	64KByte RAM
5. RAM256	256KByte RAM
6. RAM256	256KByte RAM
7. RAM256	192KByte RAM
(64KByte gehen verloren, wegen I/O-Bereich)	

928KByte RAM	

8.2 Einsatz in Z80-Systemen

Soll der NDR-Computer als CP/M-Computer verwendet werden, so kann der gesamte Arbeitsspeicher mit einer RAM64 realisiert werden. Beim Einsatz einer RAM256 kann der übrige Speicher ohne weitere Änderung unter folgenden Voraussetzungen als RAM-Floppy verwendet werden:

```
Konfiguration: 1 * CPU Z80
                1 * BANKBOOT mit FLOMON V1.5b oder höher und
                2*R2 (6116)
                1 * FLO2 mit mindestens einem Laufwerk
                1 * RAM64/256 als RAM256 (davon sind 64KByte
                  für CP/M reserviert, der Rest ist für
                  RAMFLOPPY)
```

Initialisierung der RAM-Floppy:

```
Betriebssystem CP/M booten
E:<return> / Umschalten auf E (RAMFLOPPY)
A:STAT *.* $R/W<return> /
ERA *.*<return> / Inhaltsverzeichnis löschen
Y<return> / (wird von ERA erfragt)
```

Die RAMFLOPPY läßt sich nun als Laufwerk "E" ansprechen.

8.7 Belegungsmöglichkeiten der Jumper

8.7.1 Jumper-Positionen bei Bestückung mit 41256:
(Brücken von oben)

JMP1: , - (geschlossen)

JMP2: default

JMP3:	A16	x-y x	\-x ;	\-y \	x-y x
	A17	x-x x	,-x \	\-x y	y-x x
	A18	x-x	, x	x-y	x x
	A19	y-x	y-y	x \	y x

Adressraum von	\$00000	\$40000	\$80000	\$C0000
bis	\$3FFFF	\$7FFFF	\$BFFFF	\$FFFFF

8.7.2 Jumper-Positionen bei Bestückung mit 4164:
(Brücken von oben)

JMP1: x ; (offen)

JMP2: default

JMP3:	A16	x >-x	\ \ >	> y-y	x x x
	A17	x x-x	\ -\	x \ x	y x x
	A18	x-x	y-	x-x	>-\
	A19	y-\	\-	x-\	x-\

Adressraum von	\$00000	\$10000	\$20000	\$30000
bis	\$0FFFF	\$1FFFF	\$2FFFF	\$3FFFF

A16	y -\	\ \ x	> y-y	> x \
A17	> >-x	x x-y	\ x x	x \ x
A18	\ \	\ \	x x	y \
A19	\-x	>-x	x-y	x-x

Adressraum von	\$40000	\$50000	\$60000	\$70000
bis	\$4FFFF	\$5FFFF	\$6FFFF	\$7FFFF

A16	y x-y	x x y	\ y-x	x x x
A17	x x-x	x x-x	\ x x	x x \
A18	, -\	\ -\	x-	>-\
A19	x \	y \	x x	x x

Adressraum von	\$80000	\$90000	\$A0000	\$B0000
bis	\$8FFFF	\$9FFFF	\$AFFFF	\$BFFFF

A16	\ x-y	y x x	x x-x	y \ \
A17	\ x-x	x x-x	\ \ x	y x x
A18	x \	x x	x \	\ x
A19	y \	x x	\	x x

Adressraum von	\$C0000	\$D0000	\$E0000	\$F0000
bis	\$CFFFF	\$DFFFF	\$EFFFF	\$FFFFF

9. Diverses, Ausblick

9.1 Verbesserungsmöglichkeiten

Da noch einige Gatter auf der RAM64/256 frei sind, ist es möglich, diese für eigene Erweiterungen und Verbesserungen zu verwenden.

Mit einem zusätzlichen Zähler könnte man auch erreichen, daß der Refresh nicht mehr so häufig durchgeführt wird. Dadurch wird die Belastung durch Warte-Zyklen verringert. Es genügt z.B., nur jedes zweite Mal einen Refresh-Zyklus durchzuführen, bei hochwertigen Speicherbausteinen sogar nur bei jedem vierten oder achten Zugriff!

Die RAM64/256 wird nicht refresht, wenn die CPU nicht arbeitet, z.B. durch einen langen RESET oder durch einen Warte-Zyklus, der durch eine andere Baugruppe ausgelöst wird. Diesem Problem könnte man auch durch zusätzliche Zähler beikommen, einfacher ist es jedoch, die RESET-Schaltung der CPU zu verbessern. Beim Spannungseinschalten soll dabei der RESET so lange anhalten wie bisher, bei einem manuellen Reset jedoch kann man durch ein zusätzliches Monoflop verhindern, daß der RESET-Impuls länger als 100 Mikrosekunden andauert und damit den Speicherinhalt der dynamischen Speicher zerstören würde.

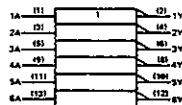
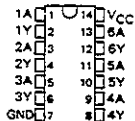
In der Praxis hat sich gezeigt, daß bei einem kurzen manuellen Betätigen des Reset-Tasters der Speicherinhalt nicht verloren geht. Dies ist jedoch nur z.B. beim Grundprogramm wichtig, da die CP/M-Betriebssysteme ohnehin nach einem Reset einen Kalt-Start ausführen. Hierbei wird der gesamte Speicher neu definiert.

Die RAM64/256 wird laufend verbessert. Wir nehmen gerne auch von Ihnen Verbesserungsvorschläge an.

10. Original-Herstellerunterlagen der verwendeten ICs

74 S 04 6 Inverter

Der Inverter (auch NICHT-Glied genannt) kehrt die Signale einfach um; L wird zu H und H wird zu L. NICHT-Glieder werden dazu verwendet, um von der positiven Logik in die negative Logik zu wechseln oder umgekehrt.

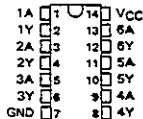


	Struktur	Low Power Schottky	Schottky	ALS	Relaiszeit	Zustand	Leistungsverhalten			
Typ Impulsverzögerungszeit	10 ns	9.5 ns	3 ns	3.5 ns	Eingänge	L	10	10	10	10
Typ Leistungsaufnahme	60 mW	12 mW	112 mW	7.5 mW	Ausgänge	L	100	200	100	200
					H	100	200	200	200	

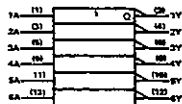
Sechs Inverter

SN7404 SN74LS04 SN74ALS04 SN74ALS04
SN5404 SN54LS04 SN54ALS04 SN54ALS04

74 LS 05 6 Inverter mit offenem Kollektor



- Offene Kollektorausgänge
- Anschlußbelegung wie 04



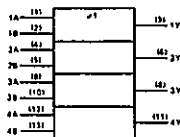
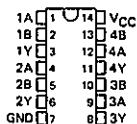
	Struktur	Low Power Schottky	Schottky	ALS	Relaiszeit	Zustand	Leistungsverhalten			
Max Ausgangsspannung	5.5 V	5.5 V	5.5 V	5.5 V	Eingänge	L	10	10	10	10
Max Reststrom bei V _{OH} max	250 µA	100 µA	250 µA	100 µA	Ausgänge	L	100	200	100	200
Typ Impulsverzögerungszeit	22 ns	16 ns	5 ns	14 ns						
Typ Leistungsaufnahme	60 mW	12 mW	105 mW	7.5 mW						

Sechs Inverter (o.K.)

SN7405 SN74LS05 SN74ALS05 SN74ALS05
SN5405 SN54LS05 SN54ALS05 SN54ALS05

74 LS 32 4 OR-Gatter mit je 2 Eingängen

Ein L-Signal am Ausgang des OR-Gatters entsteht nur wenn beide Eingänge ein L-Signal führen, ansonsten ergibt sich am Ausgang ein H-Signal.



	Standard	Low Power Schottky	Schottky	ALS	ALS	Modusart	Zustand	Leistungs			
Typ Impulsverzögerungszeit	12 ns	12 ns	4 ns	5,5 ns		Eingänge	L 1,0	1,0	1,0	1,0	
Typ Leistungsaufnahme	86 mW	20 mW	140 mW	11 mW		Ausgänge	L 10,0	20,0	10,0	20,0	
							H 20,0	20,0	20,0	20,0	

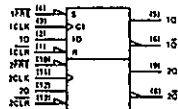
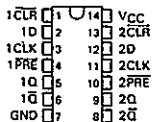
Vier OR-Gatter mit je 2 Eingängen

- SN7432
SN5432
- SN74LS32
SN54LS32
- SN74S32
SN54S32
- SN74ALS32
SN54ALS32

74 LS 74 2 D-Flip-Flop mit Clear und Preset

Ist am D-Flip-Flop an "Preset" und "Clear" ein H-Signal, so wird das Flip-Flop bei Anlegen eines Taktsignals am "Clock"-Eingang, jeweils bei der positiven Flanke jedes Taktimpulses abwechselnd gesetzt und rückgesetzt, d.h. die Ausgänge Q und Q* wechseln bei jeder positiven Taktflanke ihren Zustand. Liegt kein Takt ab (Low Signal) bleibt dieser Zustand erhalten (Speicherzustand). Will man diesen Zustand ändern, ohne einen Takt anzulegen, können die Signale an "Preset" und "Clear" verändert werden. Ist das Flip-Flop gesetzt (Q=H und Q*=L), kann es mit "Preset"=H und "Clear"=L zurückgesetzt werden (Q=L und Q*=H).

• Positiv flankengetriggert



	Standard	Low Power Schottky	Schottky	ALS	ALS	Modusart	Zustand	Leistungs			
Min. garantierte Taktfrequenz	15 MHz	25 MHz	75 MHz	40 MHz	125 MHz	Eingänge Clear	L 3,0	2,0	3,0	2,0	
Min. Taktimpulsbreite bei CLK HIGH	30 ns	25 ns	6 ns	12 ns		Clock, Preset	L 2,0	1,0/2,0	2,0	1,0/2,0	
Mip setup time	20 ns	25 ns	3 ns	15 ns		D	L 1,0	1,0	1,0	1,0	
Min. hold time	5 ns	5 ns	2 ns	0 ns		Ausgänge	L 10,0	20,0	10,0	20,0	
Typ. Impulsverzögerungszeit	17 ns	19 ns	6 ns	10 ns	5,5 ns		H 10,0	20,0	20,0	20,0	
Typ. Leistungsaufnahme	86 mW	20 mW	150 mW	12 mW	50 mW						

Zwei D-Flipflops mit Preset und Clear

- SN7474
SN5474
- SN74LS74A
SN54LS74A
- SN74S74
SN54S74
- SN74ALS74
SN54ALS74
- SN74AS74
SN54AS74

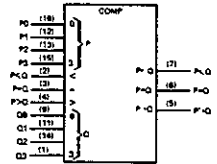
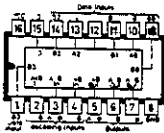
74 LS 85 4-Bit Vergleicher

- 16 poliger Chip
- 8 Eingänge für A und B
- 3 Eingänge: Cascading Inputs (A<B, A=B, A>B)
- 3 Ausgänge: Outputs (A<B, A=B, A>B)

A=B, A<B

Nur wenn A1=B1, A2=B2, A3=B3 und A4=B4 wird das Signal vom Eingang (Cascading Inputs) "A = B" zum Ausgang (Output) "A = B" durchgeschaltet. Wird dieses Ausgangssignal wieder als Eingangssignal an einen anderen Baustein dieser Reihe gelegt, so können mehr als nur 4-Bit-Wörter miteinander verglichen werden.

• Kaskadierbar auf n Bits



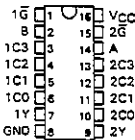
	Standard	Low Power Schottky	Schottky
Typ. Verzögerungszeit für 4 Bit	23 ns	24 ns	11 ns
Typ. Leistungsaufnahme	275 mW	52 mW	365 mW

Meßpunkt	Zustand	Lastfaktoren			
Eingänge	A>B A<B	L	1,0	1,0	1,0
	alle anderen	L	3,0	3,0	3,0
Ausgänge	L	10,0	20,0	10,0	
	H	10,0	20,0	20,0	

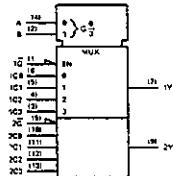
4-Bit Vergleicher

- SN7485 SN5485
- SN74LS85 SN54LS85
- SN74S85 SN54S85

74 LS 153 Multiplierer



- Zwei unabhängige Strobe-Eingänge
- Die Select-Eingänge A und B sind beiden Datenselektoren/Multiplexern gemeinsam



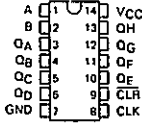
Zwei 4 zu 1 Datenselektoren/Multiplexer

	Standard	Low Power Schottky	Schottky	ALS	AS
Typ. Impulsverzögerungszeit	22 ns	22 ns	12 ns	5 ns	3 ns
Typ. Leistungsaufnahme	180 mW	31 mW	225 mW	31 mW	125 mW

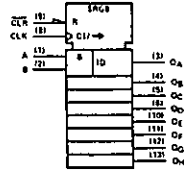
- SN74153 SN54153
- SN74LS153 SN54LS153
- SN74S153 SN54S153
- SN74ALS153 SN54ALS153
- SN74AS153 SN54AS153

74 LS 164

Zähler



- Positiv flankegetriggert
- Serielle Eingabe über zwei Eingänge
- Parallele Ausgabe
- Rechtsschleiben
- Clear-Funktion ist unabhängig vom Zustand des Takteinganges



	Standard	Low Power Schottky
Min. garantierte Schiebefrequenz	25 MHz	25 MHz
Typ. Impulsverzögerungszeit	19 ns	19 ns
Typ. Leistungsaufnahme	168 mW	88 mW

Meßpunkt	Zustand	Lastfaktoren			
		1,0	1,0		
Eingänge	L	0,0	1,0		
Ausgänge	L	5,0	20,0		
	H	10,0	20,0		

8-Bit Schieberegister mit Parallelausgabe und Clear

SN74164 SN74LS164 SN74ALS164
 SN54164 SN54LS164 SN54ALS164

4164

Dynamisches RAM 64K *1

FUJITSU
MICROELECTRONICS, INC.

NMOS 65,536-BIT DYNAMIC RANDOM ACCESS MEMORY

DESCRIPTION

The Fujitsu MB8264A is a fully decoded, dynamic NMOS random access memory organized as 65,536 one-bit words. The design is optimized for high-speed, high performance applications such as mainframe memory buffer memory peripheral storage and environments where low power dissipation and compact layout are required.

Multiplexed row and column address inputs permit the MB8264A to be housed in a standard 16-pin DIP and 18-pin LCC. With a JEDEC approved pin out.

FEATURES

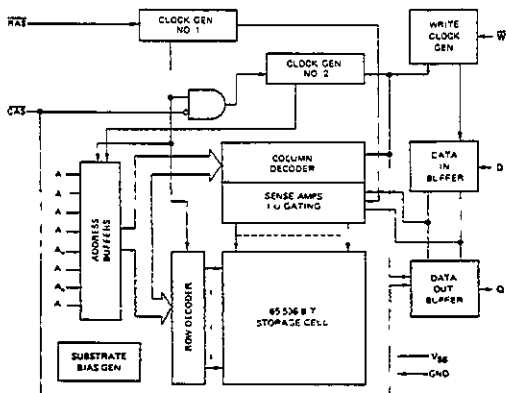
- 65,536 x 1-bit organization
- Row Access Time/Cycle Time
 - MB8264A-10 100 ns Max./200 ns Min.
 - MB8264A-12 120 ns Max./200 ns Min.
 - MB8264A-15 150 ns Max./200 ns Min.
- Low Max Power Dissipation ($T_{pc} = \text{min}$)
 - MB8264A-10 275 mW (Active)
 - MB8264A-12 248 mW (Active)
 - MB8264A-15 220 mW (Active)
 - All devices 22 mW (Standby) max.
- Single +5V supply voltage $\pm 10\%$ tolerance
- All inputs TTL compatible, low capacitive load
- Three-state TTL compatible output

The MB8264A is fabricated using silicon gate NMOS and Fujitsu's advanced Double-Layer Polysilicon process. This process coupled with single-transistor memory storage cells permits maximum circuit density and minimal chip size. Dynamic circuitry is employed in the design including dynamic sense amplifiers.

Clock timing requirements are noncritical and the power supply tolerance is very wide. All inputs and the output are TTL compatible.

- RAS only and hidden refresh
- 2ms/128 cycle refresh
- Read-Modify-Write and Page Mode capability
- "Gated" CAS
- Output unlatched at cycle end allows extended page boundary and two-dimensional chip select
- Common I/O capability using "Early Write" operation
- On-chip Address and Data-in latches
- On-chip substrate bias generator
- "AR" (w/cr) (DHR) eliminated

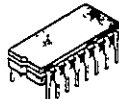
MB8264A BLOCK DIAGRAM



NOTE: The following IEEE STD 662 1980 symbols are used in this data sheet: D = Data In, \bar{W} = Write Enable, Q = Data Out



PLASTIC PACKAGE
DIP-16P M03

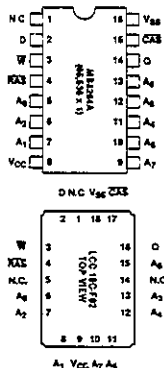


CERDIP PACKAGE
DIP-16C-C04



CERAMIC LCC
LCC 18C-F02

PIN ASSIGNMENT



41256

Dynamisches RAM 256kx1

MOS Memories

FUJITSU

■ MB81256-10, MB81256-12, MB81256-15

NMOS 262,144-Bit Dynamic Random Access Memory

Description

The Fujitsu MB81256 is a fully decoded, dynamic NMOS random access memory organized as 262,144 one-bit words. The design is optimized for high speed, high performance applications such as mainframe memory, buffer memory, peripheral storage and environments where low power dissipation and compact layout are required.

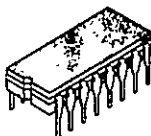
The MB81256 features "page mode" which allows high speed random access of up to 512-bits within the same row. Additionally, the MB81256 offers new functional enhancements that make it more versatile than previous dynamic RAMs. Multiplexed row and column address inputs permit the MB81256 to be housed in a Jedge standard 16-pin dual in-line package and 18-pad LCC.

The MB81256 is fabricated using silicon gate NMOS and Fujitsu's advanced Triple-layer Polysilicon process. This process, coupled with single transistor memory storage cells, permits maximum circuit density and minimal chip size. Dynamic circuitry is used in the design, including dynamic sense amplifiers.

Clock timing requirements are noncritical, and the power supply tolerance is very wide. All inputs are TTL compatible.

Features

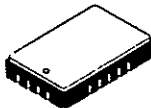
- 262,144 x 1-bit organization
- Row Access Time/Cycle Time:
 - MB81256-10 100 ns Max/210 ns Min.
 - MB81256-12 120 ns Max/230 ns Min.
 - MB81256-15 150 ns Max/260 ns Min.
- Low Power Dissipation:
 - 316 mW max. ($I_{CC} = 260$ ns)
 - 25 mW (Standby)
- +5V supply voltage, $\pm 10\%$ tolerance
- All inputs TTL compatible, low capacitive load
- Three-state TTL compatible output
- Common I/O capability using "Early Write" operation
- On-chip substrate bias generator
- Page Mode Capability
- Fast Read-Write Cycle, TRWC = TRC
- $I_{AV}, I_{WC}, I_{DIN}, I_{DOUT}$ eliminated
- CAS-before-RAS on chip refresh
- Hidden CAS-before-RAS on-chip refresh
- RAS-only refresh
- 4 ms/256 cycle refresh
- Output unatched at cycle end allows two dimensional chip select
- On-chip Address and Data-in latches
- Industry standard 16-pin package



CerDip Package
DIP-16C-C04



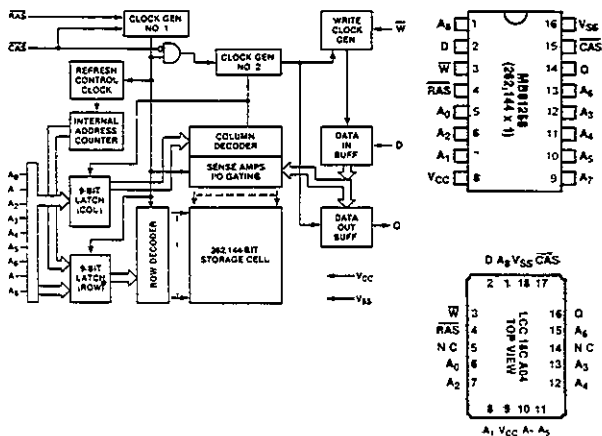
Plastic Package
DIP-16P-M03



Ceramic LCC
LCC-16C-F04

MB81256-10
 MB81256-12
 MB81256-16

MB81256 Block Diagram
 and Pin Assignments



NOTE: The following IEEE Std. 642-1980 symbols are used in this data sheet: D = Data In; W = Write Enable; O = Data Out.

Absolute Maximum Ratings
 (See Note)

Rating	Symbol	Value	Unit
Voltage on Any Pin relative to V _{SS}	V _{IN} V _{OUT} V _{CC}	-1.0 to 7.0	V
Operating Temperature (ambient)	T _{OP}	0 to 70	°C
Storage Temperature	Cer Dip Plastic T _{STG}	-55 to +150 -55 to +125	°C
Power Dissipation	P _D	1.0	W
Short Circuit Output Current	I _{OS}	50	mA

NOTE: Permanent device damage may occur if ABSOLUTE MAXIMUM RATINGS are exceeded. Functional operation should be restricted to the conditions as detailed in the operations sections of this data sheet. Exposure to absolute maximum rating conditions for extended periods may affect device reliability. This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields. However, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit.

Recommended Operating Conditions
 (Referenced to V_{SS})

Parameter	Symbol	Value			Unit	Operating Temperature
		Min	Typ	Max		
Supply Voltage	V _{CC}	4.5	5.0	6.5	V	0°C to +70°C (ambient)
	V _{SS}	0	0	0	V	
Input High Voltage All Inputs	V _{IH}	2.4	—	6.5	V	
Input Low Voltage All Inputs	V _{IL}	-1.0	—	0.8	V	

FUJITSU

11. Hinweis auf LOOP

In unserer Zeitschrift LOOP wird regelmäßig über neue Produkte und Änderungen bzw. Verbesserungen berichtet. Es ist für Sie von großem Vorteil, LOOP zu abonnieren, denn dadurch ist sichergestellt, daß Sie auch immer über die neuesten Informationen verfügen.

Ein LOOP-Abo können Sie bei jeder Bestellung mit bestellen.