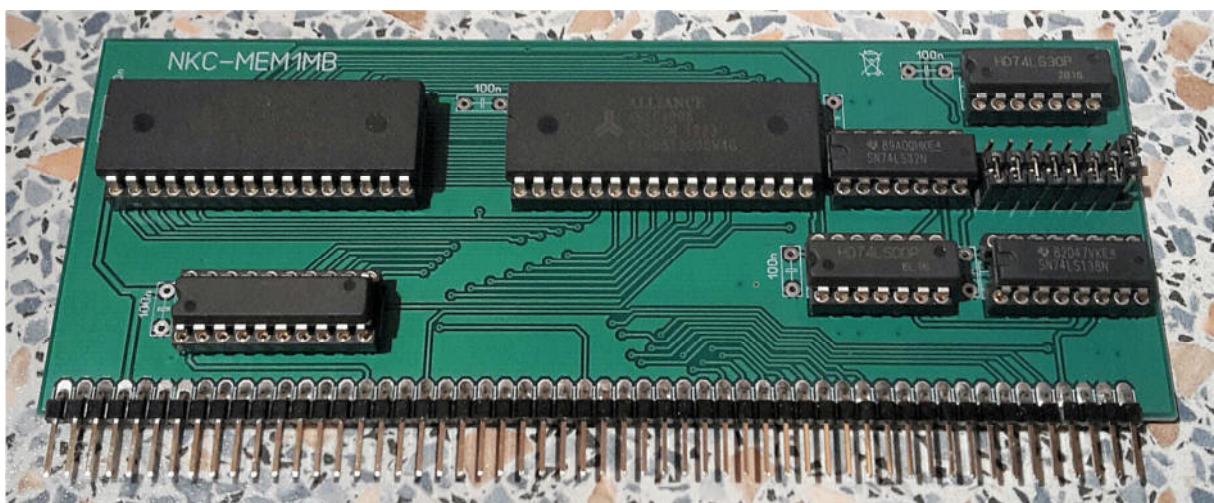


Spezifikation

Speicherkarte MEM 1MB 512 SEL
für den NDR-Klein-Computer



Speicherkarte MEM 1MB 512 SEL für den NDR-Klein-Computer

Version 1.0

Idee:

Sascha Neuschl
 Pirolweg 21
 48167 Münster
 Email: scn69@gmx.de

Industrielle Ausführung:



Dokumentenhistorie

Version	Autor(en)	Änderung	Datum
1.0	Neuschl, Sascha	Erste Version: - Generelle Funktionsfähigkeit getestet	20.09.2019

Inhaltsverzeichnis

1	Vorwort.....	4
1.1	Idee.....	4
1.2	Ansatz.....	4
1.3	Aktueller Stand	4
2	Beschreibung des Konzepts	4
3	Schaltungsprinzip.....	4
3.1	Bankenaktivierung	5
4	Schaltplan	6
5	Layout	7
5.1	Lageplan.....	7
5.2	Vorderseite	7
5.3	Rückseite.....	7
6	Test der Karte	8
7	Stückliste.....	9
8	Anhang.....	10
8.1	Verweis auf Datenblätter komplexer Bausteine und Spezifikationen.....	10

1 Vorwort

1.1 Idee

Für den NDR-Klein-Computer (NKC) gibt es verschiedene Speicherkarten. Ich wollte gerne den gesamten Adressraum des 68008-Prozessors von 1 MB ausnutzen und nur solche 64K-Banken ausblenden, auf denen andere Speicherkarten wie z.B. die ROA 64 mit dem Grundprogramm zum Einsatz kommen. Dafür habe ich diese Karte entworfen.

1.2 Ansatz

Die Speicherkarte sollte möglichst einfach sein. Deshalb werden 2 statische CMOS-RAM-Bausteine mit je 512 MB eingesetzt. Da in meinem System das Grundprogramm auf einer ROA 64 auf der Adresse \$D0000 liegt und deshalb mein RAM-Bereich bei \$00000 anfängt, habe ich nur die hinteren 8 64K-Banken einstellbar gemacht.

1.3 Aktueller Stand

Es liegt eine industriell gefertigte und funktionierende Platine vor. Ebenfalls liegen Layout-Daten zur Fertigung für die Platine vor.

2 Beschreibung des Konzepts

Es handelt sich um eine Speicherkarte mit 2 statischen CMOS-RAM-Bausteinen mit je 515 MB. D.h. sie repräsentiert 16 64K-Banken. Es gibt keine Basisadresse. Die Karte reagiert prinzipiell auf jeden RAM-Speicherzugriff (Signal -MREQ = „0“) des Prozessors. Für die Banken 8-15 kann der Zugriff per Jumper deaktiviert werden.

3 Schaltungsprinzip

Die Datenleitungen werden durch den Datenbuspuffer 74HCT 245 gepuffert.

Die Adressierung der beiden Bausteine geschieht wie folgt:

- Die Adressleitungen A0 - A18 werden direkt an beide Speicherbausteine geführt.
- Über A19 wird bestimmt, welcher der beiden Speicherbausteine mit je 512 KB angesprochen wird (A19 = 0 für Speicherbaustein Bank 0, A19 = 1 für Speicherbaustein Bank 1)

Die Bankaktivierungslogik für die Banken 8-15 auf Speicherbaustein Bank 1 geschieht wie folgt:

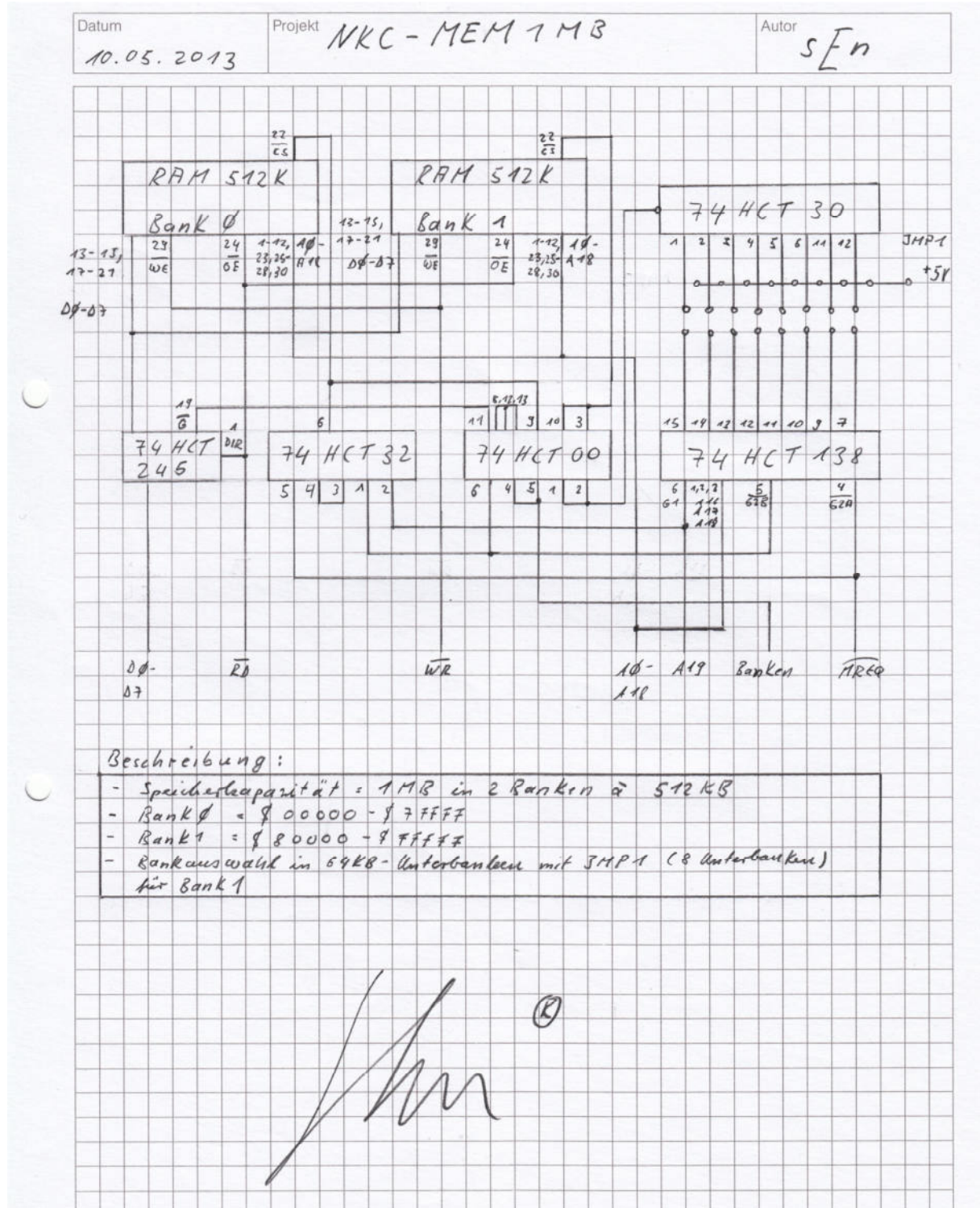
- Die Adressleitungen A16 - A18 sind an den Adressdekoder 74HCT138 geführt.
- Wird eine Bank vom Prozessor angesprochen, liefert der Adressdekoder an einem seiner 8 Ausgänge eine „0“.
- Über den Jumper JMP1 gelangen entweder die Ausgänge des Adressdekoders 74HCT138 oder +5 Volt (= „1“) an das 8-fach NAND-Gatter 74HCT30. Die 8 Eingänge des NAND-Gatters repräsentieren die 8 64K - Banken.
- Solange alle 8 Eingänge des 74HCT30 auf „1“ liegen ist der Speicherbaustein Bank 1 deaktiviert (-CS = „1“). Wird eine 64K-Bank vom Prozessor angesprochen, wird über den Adressdekoder 74HCT138 ein Eingang des NAND-Gatters 74HCT30 auf „0“ gelegt. Als Folge wird der Speicherbaustein Bank 1 aktiviert (-CS = „0“).
- Möchte man vermeiden, dass eine 64K-Bank vom Prozessor angesprochen werden kann, wird über den Jumper JMP1 anstatt des Ausgangs des Adressdekoders 74HCT138 +5 Volt (= „1“) an das NAND-Gatter 74HC30 gelegt.
- Die eigentliche Adressierung geschieht direkt über die Adressleitungen A0 - A18 direkt am Speicherbaustein.

3.1 Bankenaktivierung

Über den Jumper JMP1 wird für die 64K-Banken 8-15 eingestellt, ob sie für den Prozessor ansprechbar sind oder nicht.

PIN (von links nach rechts)	64K-Bank	Adresse	Jumper- Position	Bemerkung
1	8	\$80000 - \$8FFFF	unten = aktiviert oben = deaktiviert	---
2	9	\$90000 - \$90000	unten = aktiviert oben = deaktiviert	---
3	10	\$A0000 - \$AFFFF	unten = aktiviert oben = deaktiviert	---
4	11	\$B0000 - \$BFFFF	unten = aktiviert oben = deaktiviert	---
5	12	\$C0000 - \$CFFFF	unten = aktiviert oben = deaktiviert	---
6	13	\$D0000 - \$DFFFF	unten = aktiviert oben = deaktiviert	---
7	14	\$E0000 - \$EFFFF	unten = aktiviert oben = deaktiviert	---
8	15	\$F0000 - \$FFFFFF	nicht relevant	I/O Bereich des 68008, wird unabhängig von JMP1 nie angesprochen, da -MREQ = „1“

4 Schaltplan



6 Test der Karte

Die Speicherkarte kann sehr einfach mit dem Grundprogramm getestet werden. Dazu muss nur der Menüpunkt „RAM-Bereiche“ aufgerufen werden.

Der Zugriff auf die 64K-Banken 8-15 wird mit JMP1 eingestellt. Ist eine Bank aktiviert, muss sie durch einen senkrechten Balken in der Grafik angezeigt werden.

Beispiel - das Ergebnis zeigt die folgende Grafik:

- Hier ist die 64K-Bank 8 deaktiviert.
- Die 64K-Bank 9 ist aktiviert.
- Die 64K-Banken 10-12 sind deaktiviert.
- Auf der Bank 13 steckt eine ROA 64 mit dem Grundprogramm. Die EPROMs auf der ROA 64 werden in der Grafik schraffiert angezeigt. Auch diese Bank ist auf der Speicherkarte deaktiviert.
- Die Bank 14 ist aktiviert, weil RAM hinter der ROA 64 mit dem Grundprogramm benötigt wird.
- Die Bank 15 ist schon deshalb deaktiviert, weil es sich hier um den I/O-Adress-Bereich des Prozessors handelt und bei Zugriff auf diesen Bereich das Signal $\text{-MREQ} = „1“$ ist.



7 Stückliste

Stück	Bauteil	Wert
1	Platine	---
2	IC-Fassung	32 polig
1	IC-Fassung	20 polig
1	IC-Fassung	16 polig
3	IC-Fassung	14 polig
3	Stiftleiste gerade	8 polig
1	Stiftleiste gewinkelt	54 polig
7	Kondensator	100 nF (oder integriert in IC-Fassungen)
1	74HCT245 / 74LS245	---
1	74HCT138 / 74LS138	---
1	74HCT30 / 74LS30	---
1	74HCT00 / 74LS00	---
1	74HCT32 / 74LS32	---
2	CMOS-RAM 512 K * 8	---

8 Anhang

8.1 Verweis auf Datenblätter komplexer Bausteine und Spezifikationen

Baustein/Objekt	Funktion	Datenblatt
CMOS-RAM 512 * 8	Speicherbaustein	SRAM_512.pdf